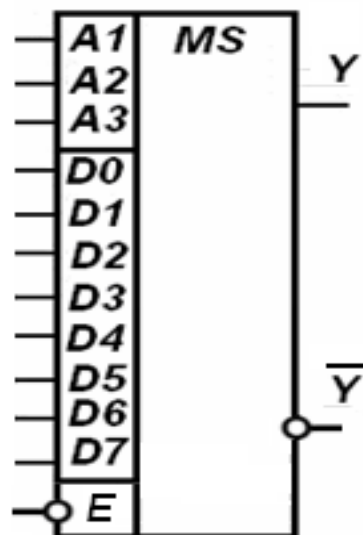
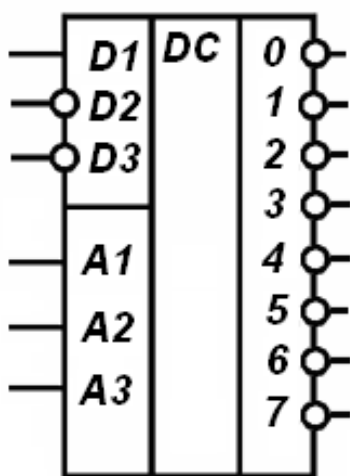


Министерство цифрового развития, связи и массовых коммуникаций
Российской Федерации.
Северо-Кавказский филиал
ордена Трудового Красного Знамени федерального государственного
бюджетного образовательного учреждения высшего образования
"Московский технический университет связи и информатики"



Учебное пособие

ЛОГИЧЕСКИЕ ПРЕОБРАЗОВАТЕЛИ



Ростов-на-Дону
2021

УДК 681.3.06 (076)

ББК 32.07

Чикалов А.Н. Логические преобразователи. Учебное пособие. Ростов-на-Дону: Северо-Кавказский филиал МТУСИ, 2021.- 83 с.

В учебном пособии изложены назначение, принципы построения, обозначения и применение логических преобразователей комбинационного типа.

Пособие снабжено большим количеством контрольных вопросов для самопроверки и методическими материалами для практических работ по освоению основных типов логических преобразователей.

Пособие содержит необходимые справочные материалы.

Учебное пособие предназначено для студентов, обучающихся по направлениям подготовки 09.03.01 Информатика и вычислительная техника и 11.03.02 Инфокоммуникационные технологии и системы связи.

Учебное пособие соответствует рабочим программам дисциплин Вычислительная техника, Схемотехника телекоммуникационных устройств, но также может быть использовано преподавателями и студентами при изучении родственных дисциплин, дипломном и курсовом проектировании, а также в процессе самостоятельной работы.

Учебное пособие обсуждено и одобрено на заседании кафедры ИВТ.
Протокол №1 от 26.08.2020 г.

Рецензенты

Ведущий научный сотрудник . "Ростовский-на-Дону НИИ радиосвязи"

д.т.н., доцент В.А. Погорелов

Профессор Кафедры таможенных операций и таможенного контроля

Российская таможенная академия Ростовский филиал

д.т.н., профессор П.С. Шевчук

СОДЕРЖАНИЕ

Введение	5
1. Дешифраторы	6
2. Шифраторы	16
3. Мультиплексоры	20
4. Демультиплексоры	27
5. Компараторы кодов	30
6. Сумматоры	36
7. Кодопреобразователи	42
8. Схема контроля четности	50
9. Арифметико-логическое устройство	53
Приложение 1. Анализ основных типов дешифраторов	56
1.1. Исследование дешифратора 2х4 из логических элементов . . .	57
1.2. Исследование микросхемы дешифратора К555ИД7	57
1.3. Построение дешифратора 4х12 на основе микросхем дешифратора 3х8	58
1.4. Построение дешифратора, обеспечивающего выбор устройств по заданному адресу	58
1.5. Построение демультиплексора 1х8 на основе микросхемы дешифратора 3х8	61
1.6. Построение дешифратора для семисегментного индикатора . .	61
1.7. Подготовка технических данные для заданной микросхемы дешифратора	62
Приложение 2. Анализ основных типов мультиплексоров	65
2.1. Построение мультиплексора 4х1 из логических элементов . . .	66
2.2. Исследование микросхемы мультиплексора К155КП7	66
2.3. Построение мультиплексора 12х1 с использованием микросхемы мультиплексора 8х1	67
2.4. Подготовка технических данных для заданной микросхемы мультиплексора	67
Приложение 3. Анализ схем сумматоров и компараторов	69
3.1. Построение схемы 1-разрядного полного сумматора	70
3.2. Построение 1-разрядного сумматора на основе мультиплексора	70
3.3. Исследование микросхемы многоразрядного сумматора на ИМС	71
3.4. Исследование многоразрядного компаратора.	71
Приложение 4. Изучение логических преобразователей	73
4.1. Исследование дешифратора 2х4 из логических элементов . . .	74
4.2. Исследование микросхемы дешифратора К555ИД7	74
4.3. Построение мультиплексора 4х1 из логических элементов . . .	75
4.4. Исследование микросхемы мультиплексора К155КП7	75

4.5. Исследование микросхемы многоразрядного сумматора на ИМС	76
Приложение 5. Перечень основных элементов моделирующих программ	78
Принятые сокращения	81
Список литературы	83

ВВЕДЕНИЕ

В широком смысле под логическим преобразователем понимается некий функциональный узел, выполняющий различные функциональные преобразования в схеме. При этом данные, которые присутствуют в процессе преобразования носят двойственную природу и отображаются единицами и нулями.

При этом внутренняя структура преобразователей может быть различной. Это могут быть элементарные логические преобразователи в виде логических элементов, реализующих логику предикатов первого порядка. Другие схемы могут иметь в структуре элементы памяти в виде отдельных триггеров, регистров, счетчиков. По определению их также можно назвать логическими преобразователями.

В данном пособии рассматриваются только логические преобразователи, представляющие собой комбинационные схемы, т.е. схемы без памяти. Это функционально достаточно большой класс устройств, широко использующийся в цифровой технике.

Логические элементы, как функциональные преобразователи комбинационного типа в этом пособии не рассматриваются.

1. ДЕШИФРАТОРЫ

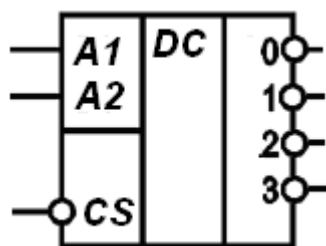
Дешифратором называют комбинационное устройство, преобразующее двоичный код в унарный. Другими словами из всех выходов дешифратора активный уровень имеется только на одном из выходов. Номер этого выхода соответствует двоичному коду на адресных входах дешифратора (его десятичному эквиваленту). На всех остальных выходах дешифратора устанавливаются уровни напряжения неактивные. В этом контексте дешифратор называют устройством выбора, и этот активный уровень сигнала указывает выбранный выход.

Из этого определения следует, что каждый адресный вход дешифратора имеет вес, соответствующий принципам позиционной двоичной системы счисления, и порядок входов имеет существенное значение. Обычно этот порядок на условных графических обозначениях (УГО) дешифраторов отражается последовательностью увеличивающихся цифр, начиная с младшего разряда. Цифры могут начинаться с нуля или единицы. Возможен вариант, при котором последовательность входов нумеруется непосредственно цифрами весов самих разрядов: 1-2-4-8 и т.д.

Поскольку двоичный код на входе определяет положение (адрес) единственного активного сигнала в выходной комбинации, то входы обычно называют адресными и обозначают буквой "А" с соответствующим номером. УГО дешифратора и его таблица истинности представлены на рис.1.1. На нем имеется два адресных входа, из которых А1 является младшим, а А2 - старшим. Два входа могут образовать четыре различных комбинации, которым соответствуют выходы с номерами 0-3. Выходы имеют дополнительно обозначение инверсного активного сигнала (кружок на выводе). Это означает, что выбранный адресом выход будет иметь активное значение нуль, а остальные выходы – единицы (они соответствуют неактивному сигналу). Дешифратор при этом называют – дешифратором с **инверсными выходами**. Если для выходов активное значение является единичным (кружка в обозначении нет), то дешифратор называют – дешифратором с **прямыми выходами**.

В основном поле для обозначения функции устройства в соответствии с ГОСТ нанесены буквы DC (от англ. DeCoder – дешифратор).

Дополнительно в схему добавлен вход CS (от англ. Chip Select – выбор кристалла). Вместо него может быть использовано обозначение E (от англ. Enable – разрешать). Назначение этого входа – разрешить нормальную работу дешифратора: выбор выхода. Это происходит при активном сигнале на этом входе. В данном примере это нуль. В случае пассивного сигнала на входе CS (для данного примера – единица) дешифратор ни один выход не выбирает (все выходы пассивны и равны в данном примере единице). В этом случае говорят, что работа дешифратора запрещена. Все указанные особенности учтены в таблице истинности дешифратора на рис.1.1.



а)

Входы			Выходы			
CS	A2	A1	0	1	2	3
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0
1	0	0	1	1	1	1
1	0	1	1	1	1	1
1	1	0	1	1	1	1
1	1	1	1	1	1	1

б)

Рис.1.1. УГО (а) и таблица истинности (б) дешифратора

Кроме того, наличие входа CS может быть использовано для стробирования (синхронизации). Активный сигнал на вход стробирования подается после завершения всех переходных процессов в схеме дешифратора, что позволяет избежать возможного появления на выходах дешифратора ложных сигналов при смене кодовых комбинаций на его входе.

В соответствии с этапами формального синтеза комбинационных схем следует записать аналитические выражения для выходов схемы. Легко заметить, что более компактная запись может получиться для инверсной логики:

$$\overline{BЫX0} = \overline{A2 \cdot A1 \cdot CS}$$

$$\overline{BЫX1} = \overline{A2 \cdot A1 \cdot CS}$$

$$\overline{BЫX2} = \overline{A2 \cdot A1 \cdot CS}$$

$$\overline{BЫX3} = \overline{A2 \cdot A1 \cdot CS}$$

Для полученных выражений минимизация не требуется, и может быть сразу построена схема дешифратора с инверсными выходами и инверсным входом разрешения (рис.1.2).

Легко видеть, что схема дешифратора образуется конъюнкторами (D4 - D7), на каждом из которых объединяются сигналы соответствующей двоичной комбинации. Так, например, выход 0 реализует конституенту с сигналами $A1=0$, $A2=0$, что соответствует десятичному эквиваленту 0. Выход 2 объединяет сигналы $A2=1$, $A1=0$, что соответствует десятичному эквиваленту 2 (двоичное - 10) и т.д. Можно динамику сигналов рассматривать и с другой стороны: выход 2 получает активный сигнал только тогда, когда на вход дешифратора будет подан код, соответствующий двойке. Все другие коды не дадут активного сигнала на выходе 2. Получается, что выход 2 "узнает" код двойки, является "распознавателем" кода двойки.

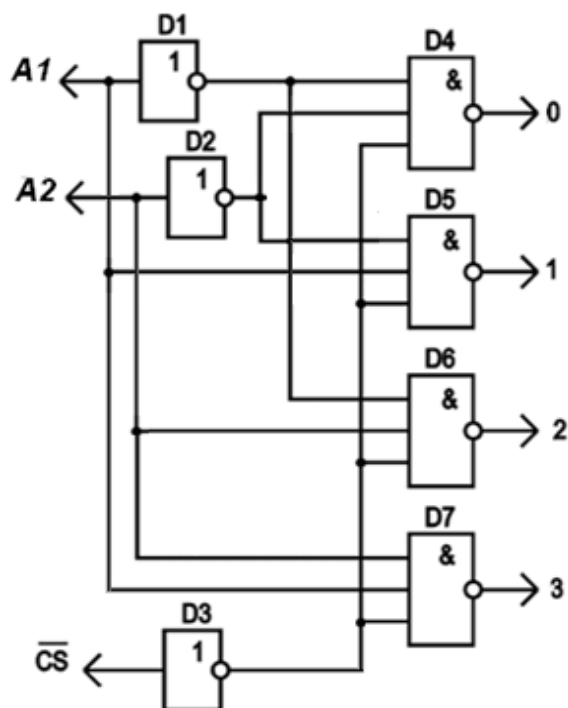


Рис.1.2. Функциональная схема дешифратора 2х4

Дешифратор используют, когда необходимо обращаться к различным устройствам, и при этом номер устройства – его адрес – представляется двоичным кодом. Такое применение широко реализуется в вычислительной технике для управления выборкой схем памяти и внешних устройств. Это позволяет активизировать только необходимые в данный момент устройства из всех подключенных к шинам.

Кроме того, дешифраторы являются частью других схем, реализуя функцию выбора: микросхем интегральной памяти для выбора конкретной ячейки по ее адресу, микросхем мультиплексоров для определения коммутируемого канала, схем управления индикацией и других.

По внутренней структуре дешифраторы различают линейные, пирамидальные и прямоугольные (матричные).

В **линейном** дешифраторе все преобразования осуществляются только на одной линейке логических элементов. Это наиболее быстродействующие дешифраторы, но они не позволяют реализовать дешифраторы с большим числом выходов, т.к. количество адресных входов должно соответствовать количеству входов логического элемента. Кроме того, мощность источника адресных сигналов недостаточна для управления таким количеством логических элементов. Примером такого дешифратора является дешифратор, представленный на рис.1.2.

В **прямоугольном** дешифраторе процесс дешифрации осуществляется поэтапно (ступенчато). Адресные входы разделяются на две части, каждая из которых дешифрируется своим линейным дешифратором. Их часто называют дешифраторами строк и столбцов. Они образуют первую ступень дешифрации. Выходы дешифраторов строк и столбцов объединяются на своем линейном дешифраторе, образуемом логическими элементами. Это

вторая ступень дешифрации (рис.1.3). На данном рисунке показан дешифратор 5х32 (пять адресных входов и 32 выхода). Такой дешифратор называют **полным**, т.к. используются все возможные двоичные комбинации адресов. В противном случае дешифратор называют **неполным**.

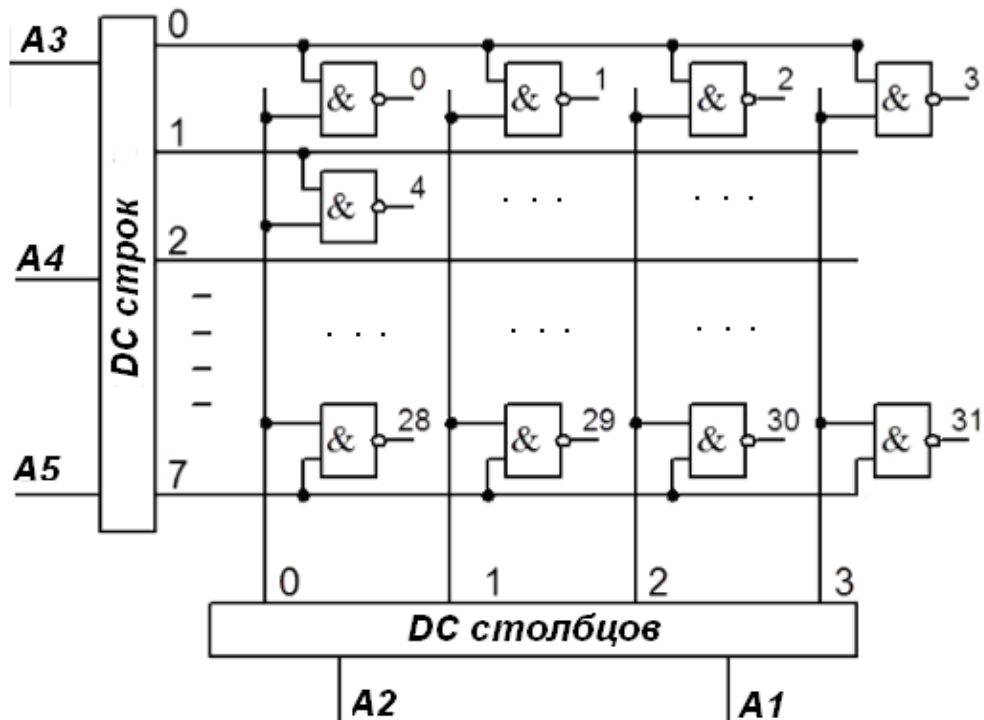


Рис.1.3. Матричный дешифратор

В частном случае явное разделение на строки и столбцы может не осуществляться, но ограниченное число входов логических элементов все равно приведет к многоступенчатой дешифрации. Такие дешифраторы называют **пирамидальными**. В них дешифрация осуществляется несколькими ступенями логических элементов или даже дешифраторов. Такая схема будет описана позже. Пример ее показан на рис.1.11.

Следует отметить, что прямоугольная структура дешифратора является не только инструментом увеличения количества выходов, но и представляет собой самостоятельную ценность при построении ряда микросхем. В частности, именно такая структура дешифрации необходима при организации процесса регенерации в микросхемах динамической памяти. Она также удобна при использовании мультиплексированных адресных шин в микропроцессорной технике.

Дешифраторы в интегральных сериях

В интегральных сериях микросхемы дешифраторов обозначаются кодом "ИД". В сериях представлены различные варианты дешифраторов для универсального и узкого применения. В интегральном исполнении выпускаются различные структуры дешифраторов, в которых имеются 2, 3, 4

и более входов. В одном корпусе может быть размещено несколько дешифраторов. Для увеличения функциональных возможностей в них часто предусматривается использование нескольких сигналов управления (разрешения).

Например, дешифратор K155ИД3 является полным с инверсными выходами и двумя входами разрешения (стробирования). Количество выходов у него соответствует всем возможным наборам из четырех адресных разрядов. Всего их шестнадцать с номерами от 0 до 15 (рис.1.5). Входы разрешения или выбора кристалла (CS) изображены в общем

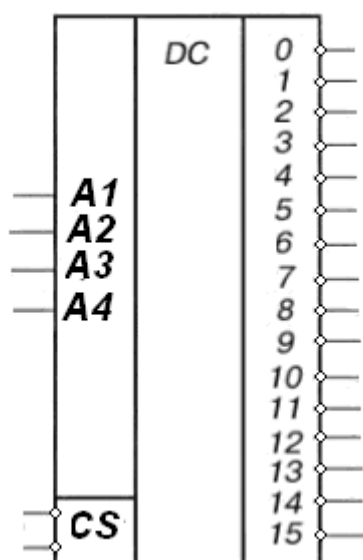


Рис.1.5. K155ИД3

дополнительном поле, что указывает на их совместное применение. Оба этих входа инверсные и объединены по схеме И. Поэтому дешифратор будет активен только тогда, когда на обоих входах CS будут активные сигналы (нули). При наличии хотя бы одной единицы дешифратор активный ноль на выходе выдавать не будет. Такое избыточное количество входов разрешения позволяет расширить функциональные возможности микросхемы с точки зрения способов ее применения.

Дешифратор K155ИД4 содержит в себе два дешифратора с объединенными адресными входами и индивидуальными входами разрешения для каждого из них CS1 и CS2 (рис.1.6,а). При этом очень важно, что комбинации активных сигналов на входах разрешения разных дешифраторов разные. Внутренняя структура дешифратора K155ИД4 представлена на рис.1.6,б.

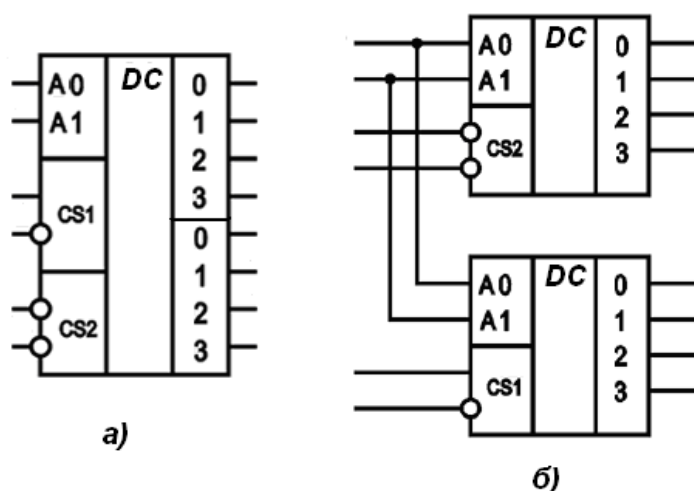


Рис.1.6. УГО (а) и внутренняя структура (б) дешифратора K155ИД4

Такая организация дешифратора с прямыми и инверсными комбинациями разрешающих сигналов в одной группе позволяет из К155ИД4 без дополнительных логических элементов организовать дешифратор 3х8 (рис.1.7,а). Для этого добавляемый третий адресный вход А2 различными своими сигналами должен разрешить работу нижнего дешифратора (например, при нуле) и верхнего дешифратора (соответственно – при единице). Поэтому сигнал А2 должен подаваться на прямой и инверсный разрешающий вход различных частей дешифратора К155ИД4. С учетом расположения инверсного разрешающего входа выходы 0-3 окажутся в нижней части схемы (см. рис.1.7,а). Два оставшихся инверсных входа разрешения из разных групп при объединении (вход CS) могут выполнять функцию разрешения для нового дешифратора 3х8. УГО полученного дешифратора представлено на рис.1.7,б.

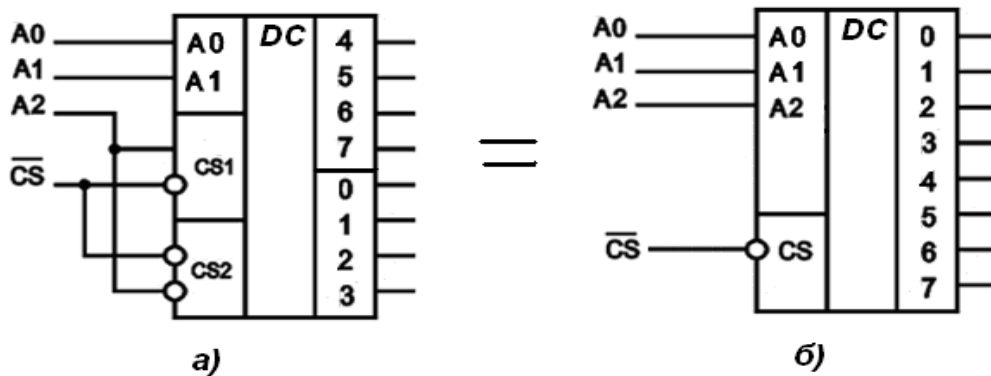


Рис.1.7. Организация дешифратора 3х8

В качестве еще одного примера подобного дешифратора на рис.1.8 приведено изображение ИМС К555ИД7, которая входит в набор логических элементов системы моделирования "Вариант". Данная ИМС является высокоскоростным полным инверсным дешифратором, преобразующим входной трёхразрядный код А1-А3 в напряжение низкого уровня (0),

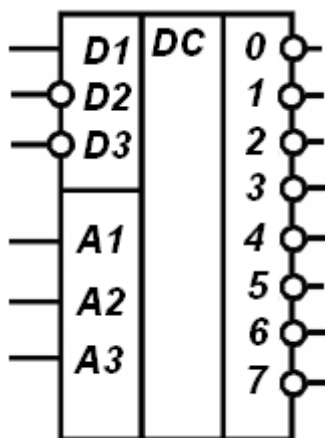


Рис.1.8. К555ИД7

появляющегося на одном из его восьми выходов 0-7. Дешифратор имеет три входа стробирования (разрешения) D1-D3, два из которых D2 и D3 являются инверсными. Работа по этим входам осуществляется по логике элемента И.

Дешифрация входных сигналов происходит только в том случае, если на разрешающем входе D1 будет присутствовать логическая 1, а на входах D2 и D3 - логический 0. При всех других сочетаниях уровней на входах стробирования дешифратор блокируется, и на всех его выходах окажется установленным высокий уровень напряжения, т.е. логическая 1.

Используя только один вход

стробирования, можно построить из двух ИМС четырёхразрядный полный дешифратор.

Использование трёх входов стробирования позволяет создать из трёх и четырёх таких ИМС неполные дешифраторы с числом выходов, равных 24-м и 32-м, соответственно. Построение таких схем рекомендуется выполнить самостоятельно.

Специальные дешифраторы в интегральных сериях

Дешифратор К155ИД1 имеет четыре входа и 10 выходов от 0 до 9 (рис.1.9) и является неполным. Остальные комбинации входных сигналов не формируют выходных сигналов. Однако основная особенность этого дешифратора заключается в том, что он специально предназначен для управления газоразрядными индикаторными лампами типа ИН-4, ИН-12 и т.д. Его выходные каскады образованы высоковольтными транзисторами с открытым коллектором и рассчитаны на напряжение до 60В. Катоды индикаторных ламп (соответствующая цифра) подключаются непосредственно к выходам дешифратора (см. рис.1.9). Такой дешифратор относится к **специальным**.

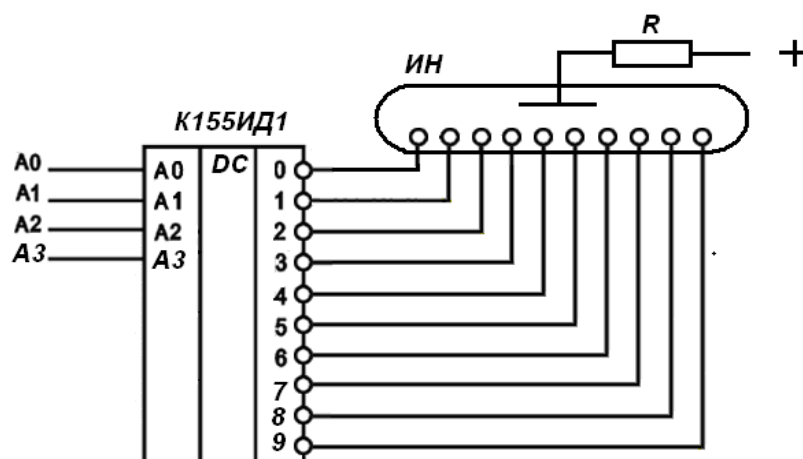


Рис.1.9. Дешифратор К155ИД1

Другим типом специального дешифратора является дешифратор К564ИД4 для семисегментного индикатора. Дешифратор, преобразуя двоично-десятичный код А1-А4, позволяет без дополнительных элементов управлять жидкокристаллическим индикатором. Вход S позволяет устанавливать прямые (при S=0) или инверсные (при S=1) выходы дешифратора (рис.1.10).

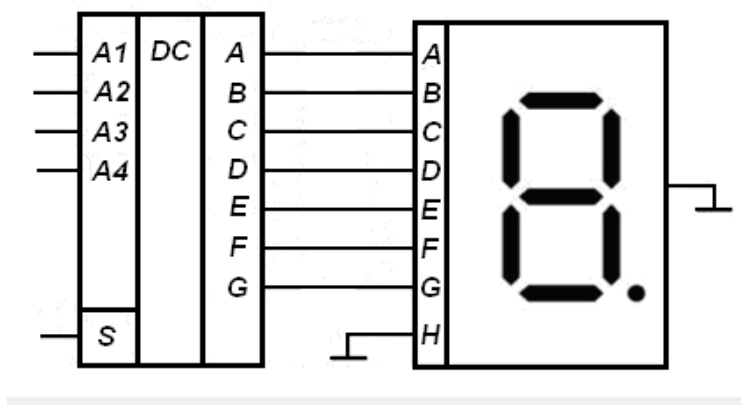


Рис.1.10. К564ИД4

Строго говоря, эта микросхема хотя и называется дешифратором, но функционально, по сути, является более сложным прибором. В нем содержится непосредственно дешифратор, который при подаче на вход сигналов A1-A4 формирует унарный код на своем выходе. Этот унарный код, поступая на входы шифратора, уже формирует на нескольких выходах соответствующий набор сигналов, которые и должны подсветить сегменты, образующие десятичный знак. Такие устройства принято еще называть преобразователями кодов (обозначаются на УГО - X/Y).

Наращивание дешифраторов

Под наращиванием дешифратора понимается процесс получения дешифратора с большим количеством входов и выходов, чем имеются в конкретной серии (или типе) микросхем. Для этих целей удобно использовать входы разрешения дешифраторов. Схема строится по принципу многоступенчатых (каскадных) дешифраторов, в том числе прямоугольных.

Младшие адреса дешифрируются на оконечной ступени дешифрации, а старшие адресные входы образуют предварительную ступень дешифрации и осуществляют выбор одного из дешифраторов оконечной ступени. Количество ступеней теоретически не ограничено, но время задержки распространения сигнала при этом растет. Такие конструкции следует применять только со стробированием. Пример такого дешифратора 4x16 из двух ступеней показан на рис.1.11. Вход разрешения E предварительной ступени при этом становится входом разрешения всего дешифратора.

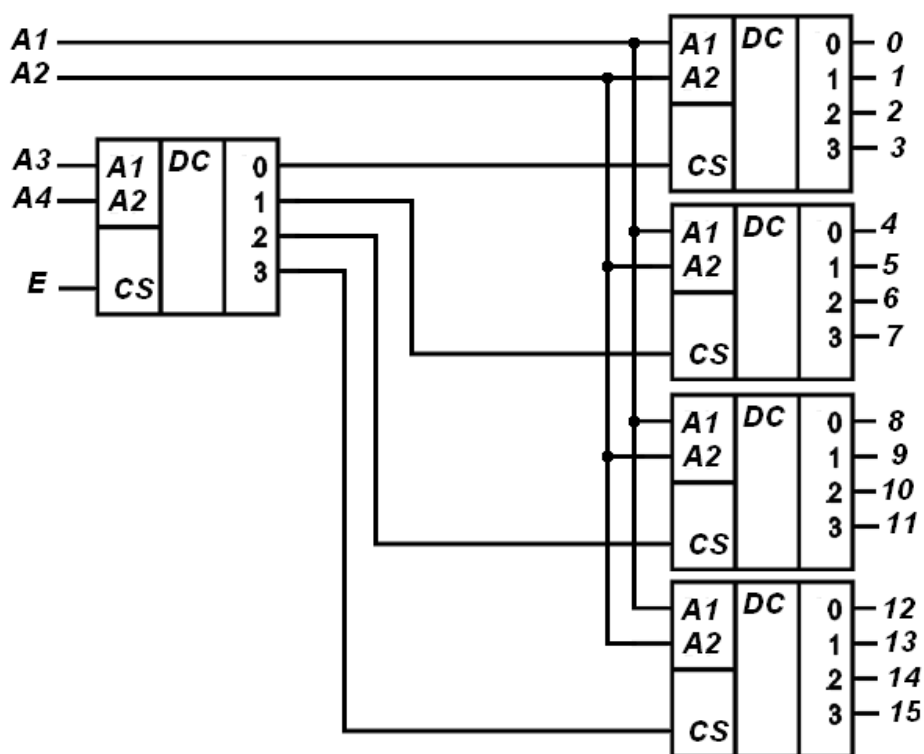


Рис.1.11. Нарращивание дешифратора до 4х16 из 2х4

Очень экономично можно наращивать дешифраторы из микросхем, в которых имеются дешифраторы с прямыми и инверсными входами разрешения. Для них нулевым старшим адресным входом выбирается один дешифратор, а единичным сигналом – другой. В качестве такого примера можно рассматривать дешифратор, ранее представленный на рис.1.7,а. На этом рисунке прямой и инверсный вход разрешения, по сути, позволяют образовать дешифратор 1х2 без дополнительных логических элементов. Его адресным входом является вход A2.

Вопросы для самоконтроля

1. Приведите этапы построения комбинационной схемы.
2. Моделью каких устройств является таблица истинности?
3. Каким образом в таблице истинности отображается отсутствие памяти в отображаемом устройстве?
4. Каково назначение схем дешифратора?
5. В чем отличие одноступенчатого и прямоугольного дешифраторов?
6. Запишите логическую функцию для выхода №4 дешифратора?
7. Каким образом нумеруются выходы дешифратора? Почему?
8. Каково назначение входов разрешения дешифраторов? Как это назначение отображается в поведении устройства?
9. Как изображается дешифратор на условном графическом обозначении?

10. Найдите ГОСТ, определяющий обозначение дешифраторов на электрических схемах.
11. Каково назначение адресных входов дешифратора?
12. Как нумеруются адресные входы дешифратора?
13. Нарисуйте таблицу истинности дешифратора на 2 входа и 2 выхода разрешения с разными активными сигналами.
14. В чем отличие прямого и инверсного дешифратора?
15. Как обозначается тип активного сигнала на входах дешифратора?
16. Каким математическим соотношением связаны количество входов и выходов полного дешифратора?
17. Почему дешифратор для семисегментного индикатора отнесен к специальным?
18. В чем может проявляться "специальность" дешифратора?
19. Какие сигналы должны быть на входах дешифратора 3×6 , если он имеет инверсный вход разрешения?
20. Почему для дешифратора используют термин "унарный код" как результат преобразования?

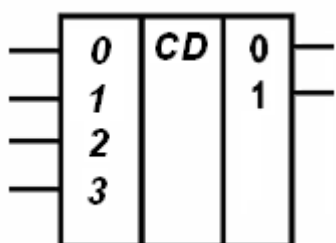
2. ШИФРАТОРЫ

Шифратором называют комбинационную схему, преобразующую унарный код в комбинацию активных сигналов на выходе (обозначается CD от англ. CoDer – шифратор). По сути, это устройство обратное дешифратору. При возбуждении только одного из нескольких входов шифратора (на который подается активный сигнал) на его выходе формируется двоичный код, соответствующий номеру возбужденной входной линии. Следует учесть, что в общем случае получаемый двоичный код на выходе может и не соответствовать номеру входа, на который подан активный сигнал. Это зависит от назначения шифратора.

Известно, что любая алфавитно-цифровая и графическая информация записывается в память ЭВМ и хранится в ней в виде закодированных двоичных чисел. Каждый алфавитный символ (знак, спецзнак, буква, десятичная цифра и т.п.) кодируется своим собственным n -разрядным двоичным числовым кодом, позволяющим описать до 2^n объектов кодирования. Числовые значения, предписанные каждому из них, приводятся в специальных кодовых таблицах, таких как, например, ASCII, КОИ-8, WIN1251, Unicod и других. Благодаря кодированию по стандартным таблицам обеспечивается возможность удобного чтения и обработки компьютерной информации в различных приложениях на разных ЭВМ.

Процесс кодирования заложен в работу разнообразных цифровых схем, обеспечивающих, например, шифрование данных. Закодированные данные предназначены для передачи по каналам связи специальных (секретных) сведений; их дешифрации в точке приёма; обнаружению в принятом сообщении искажений, вызванных возможными помехами в линиях связи, и их автоматическое исправление на приёмном пункте вслед за обнаружением. Кроме того, шифраторы используют при преобразование кодов из одной системы счисления в другую и т.д. В этом случае их чаще называют кодопреобразователями.

Полный двоичный шифратор имеет 2^n входов и n выходов. На рис.2.1, показаны УГО шифратора и таблица истинности такого шифратора.



а)

№ комбинации	Входы				Выходы	
	3	2	1	0	1	0
1	0	0	0	1	0	0
2	0	0	1	0	0	1
4	0	1	0	0	1	0
8	1	0	0	0	1	1

б)

Рис.2.1. УГО (а) и таблица истинности (б) полного шифратора

Следует учесть, что нумерация комбинаций в таблице соответствует тому двоичному коду, который сформирован на входах шифратора. При этом вход с номером "0" - это младший разряд, а вход с номером "3" - самый старший разряд двоичной комбинации. При этом важно понимать следующее:

1) всего для этого шифратора различных входных двоичных комбинаций должно быть шестнадцать ($2^n=16$). Что этот шифратор будет выдавать для остальных двенадцать комбинаций - необходимо уточнить на этапе доопределения таблицы истинности. Этот вопрос может быть решен по-разному, исходя из условий реальной работы шифратора в конкретной системе;

2) обозначение в таблице номеров входных наборов, соответствующее общепринятой практике, не очень удачно отражает суть работы самого шифратора (так сделано в таблице на рис.2.1,б). Для него важен не сам десятичный эквивалент входного кода, а номер входа, на который подана единственная единица. Например, единица на входе "0" должна давать на выходе двоичный код нуля (00), а единица на входе 3 – должна быть закодирована двоичной тройкой (11) и т.д. Поэтому наборы могут быть переобозначены в соответствии с этой логикой: нумероваться по номеру активного кодируемого сигнала – 0 – 3.

Синтез шифраторов осуществляется по общей методике синтеза комбинационных схем. Выходам соответствуют выражения:

$$\begin{aligned} B_{YX0} &= \overline{B_{X3}} \cdot \overline{B_{X2}} \cdot B_{X1} \cdot \overline{B_{X0}} \vee B_{X3} \cdot \overline{B_{X2}} \cdot \overline{B_{X1}} \cdot \overline{B_{X0}} \\ B_{YX1} &= \overline{B_{X3}} \cdot B_{X2} \cdot \overline{B_{X1}} \cdot \overline{B_{X0}} \vee B_{X3} \cdot \overline{B_{X2}} \cdot \overline{B_{X1}} \cdot \overline{B_{X0}} \end{aligned}$$

Легко видеть, что комбинация 1000 входит в оба выражения. Поэтому при совместном использовании этой комбинации для обоих входов схема будет выглядеть следующим образом (рис.2.2).

Число входов и выходов классического шифратора связаны, как и у дешифратора, формулой количества разрядов (n) и числа комбинаций (N):

$$N = 2^n$$

У дешифратора n это количество адресных входов, а N - количество выходов полного дешифратора.

В данном случае количество разрядов это число выходов шифратора, а количество комбинаций - это количество унарных кодов, которые требуется подать на входы для обеспечения всех возможных кодов на выходах. Поскольку коды унарные, то каждый новый код требует своего разряда и увеличение количества входных кодов ведет к росту количества входных линий. Такой дешифратор можно использовать для кодирования двоичным кодом положения многопозиционного переключателя или распределителя.

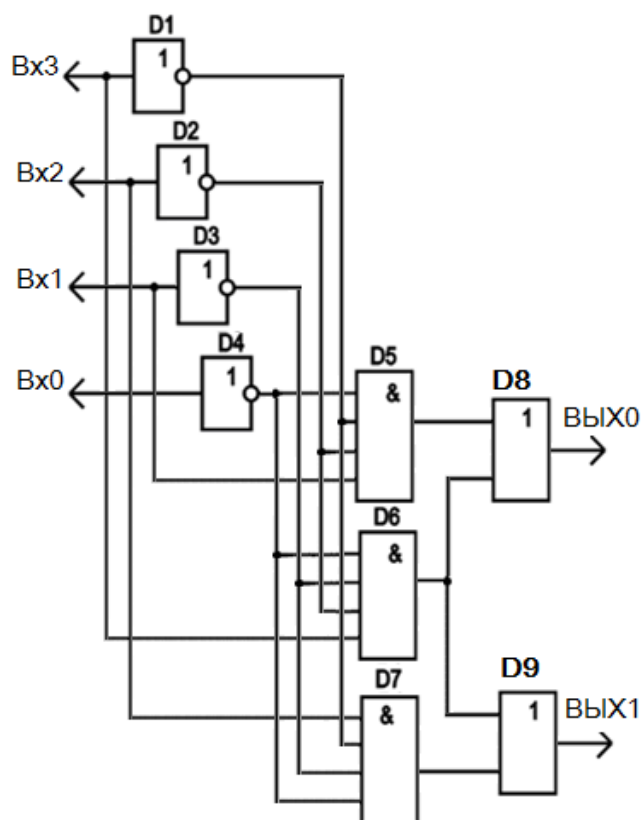


Рис.2.2. Функциональная схема классического шифратора

Если схема предполагает несколько активных входных сигналов и (или) несколько активных выходных сигналов, то ее называют **преобразователем кодов**. Преобразователи используются для взаимного преобразования внутренних кодов цифровых устройств, и будут рассмотрены в разделе 6.

Вопросы для самоконтроля

1. Приведите этапы построения схемы шифратора.
2. Каково назначение входов и выходов шифратора?
3. Запишите логическую функцию для выхода №0 шифратора 8X3?
4. Каким образом нумеруются выходы шифратора? Почему?
5. Как изображается шифратор на условном графическом обозначении?
6. Каким математическим соотношением связаны количество входов и выходов полного шифратора?
7. Какое кодирование осуществляет шифратор в составе функциональной схемы дешифратора для семисегментного индикатора?
8. Почему для шифратора используют термин "унарный код" для его входов?
9. Как нумеруются адресные входы шифратора? Почему?

10. Какие сигналы должны быть на входах шифратора 3х8, если он имеет на выходе двоичный код пятерки?
11. Как обозначается тип активного сигнала на входах шифратора?

3. МУЛЬТИПЛЕКСОРЫ

Мультиплексором называют комбинационное устройство, осуществляющее подключение (коммутацию) одного из нескольких входов данных (D0-D3) к одному выходу. Номер выбранного входа соответствует коду, поданному на адресные входы мультиплексора (A1-A2). Определение номера скоммутированного входа данных осуществляется по адресным входам аналогично определению номера выхода дешифратора. Кроме того, в мультиплексорах обычно присутствует вход разрешения (стробирования) E, который при неактивном сигнале запрещает коммутацию независимо от адресного кода. Условное графическое обозначение и таблица коммутации входов данных представлены на рис.3.1.



Рис.3.1. УГО (а) и таблица коммутации входов (б) мультиплексора

Обозначение функции мультиплексора строится на двух английских словах: Multiple – много частей и производное от него – увеличение (каналов данных) и Select –выбирать (один из каналов). Поэтому в обозначении может встречаться сочетания MS, MUX, SL с соответствующим контентом. На корпусах микросхем мультиплексоров наносят обозначение – КП.

Аналогично дешифраторам в сериях микросхем встречаются мультиплексоры с различным количеством входов данных (K155КП1 – 16, а K155КП5 –всего 8), с прямым и инверсным выходами (K155КП7), в одном корпусе микросхемы могут содержаться два мультиплексора (K155КП2).

Построение мультиплексоров должно осуществляться по общим правилам синтеза комбинационных схем. Если таблицу коммутации входов (см.рис.3.1) использовать в качестве формализованной модели поведения мультиплексора, то аналитическое выражение для выхода Y мультиплексора можно записать в виде:

$$Y = E \cdot \overline{A2} \cdot \overline{A1} \cdot D0 \vee E \cdot \overline{A2} \cdot A1 \cdot D1 \vee E \cdot A2 \cdot \overline{A1} \cdot D2 \vee E \cdot A2 \cdot A1 \cdot D3$$

Это выражение минимизации не поддается и на рис.3.2 по нему построена функциональная схема.

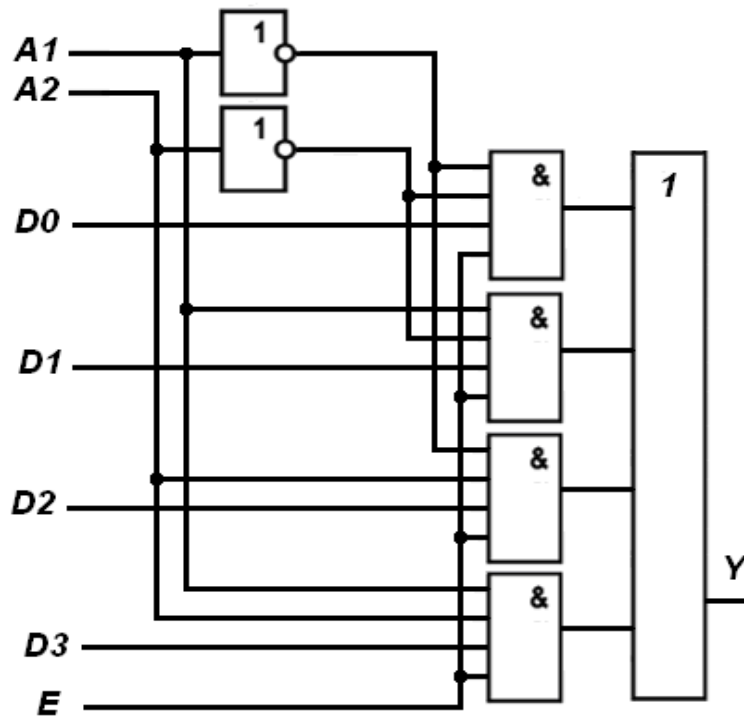


Рис.3.2. Функциональная схема мультиплексора

Однако традиционные методы синтеза становятся слишком громоздкими по причине резкого увеличения количества входов синтезируемой схемы. Так, например, простейший мультиплексор, представленный на рис.3.1,а, требует для традиционного синтеза таблицы истинности уже из 128 строк. Такая таблица сложно поддается обработке. Поэтому устройства, имеющие более пяти входов, синтезируются с использованием принципа декомпозиции: путем разбиения устройства на более простые с последующим синтезом уже более простых схем.

Следуя этому принципу и используя логику преобразования данных в устройстве, схему мультиплексора можно представить как показано на рис.3.3. В этой схеме дешифратор по адресным входам определяет тот ключ, канал которого должен быть открыт для передачи. Ключ реализован на логических элементах с функцией конъюнкции. Из всех ключей открыт только тот, который получает с выходов дешифратора единицу в унарном коде. Выходы всех ключей объединяются на элементе ИЛИ, с выхода которого и снимается скоммутированный сигнал данных D. Последний в схеме ключ пропускает данные только при наличии сигнала разрешения E. В совокупности все элементы и связи реализуют работу мультиплексора, условное графическое обозначение которого представлено на рис.3.1,а.

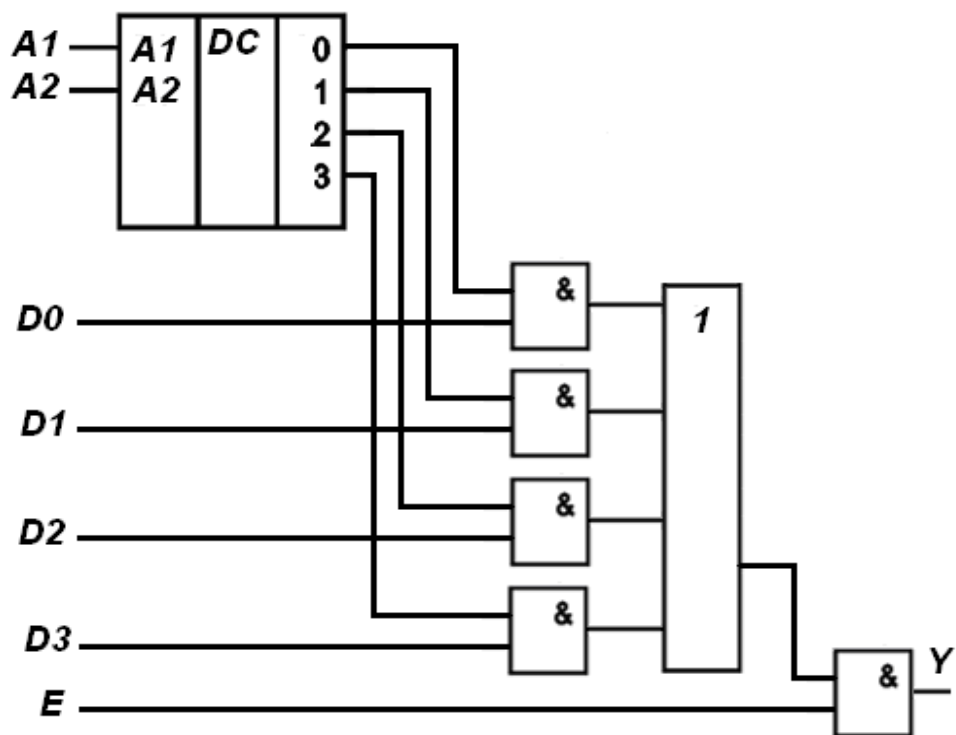


Рис.3.3. Функциональная схема мультиплексора при декомпозиции

В представленной схеме упростить каждую отдельную составляющую уже нельзя, однако можно объединить функции отдельных элементов, в частности, функции дешифрации и двух последовательно расположенных ключей. Такое совмещение возможно при ясном представлении внутренней структуры дешифратора. Получившаяся схема после такой оптимизации будет соответствовать схеме на рис.3.2. В данной схеме логические конъюнкции объединяют на себе адресный код, осуществляющий выбор соответствующего ключа, вход данных, которые должны проходить через этот ключ и сигнал разрешения. Только при наличии всех названных составляющих выход ключа будет зависеть от входа данных. Это полностью соответствует логике работы мультиплексора. Полученная схема (см. рис.3.2), в отличие от первоначального варианта (см. рис.3.3) имеет меньшее количество элементов и меньшую задержку распространения сигнала.

Наращивание мультиплексоров

Несмотря на широкий выбор готовых мультиплексоров, часто возникает необходимость иметь мультиплексор с большим количеством входов, чем имеется в конкретной серии микросхем. Увеличить количество коммутируемых входов можно, воспользовавшись идеей многоэтапной (многоступенчатой) коммутации. Для этого выходы нескольких мультиплексоров, управляемых младшими адресными входами (первая ступень), следует подключить к входам объединяющего мультиплексора, управляемого старшими адресными входами (следующая ступень).

Мультиплексоры младшей ступени работает синхронно, а старшие адреса A3, A4 выбирают на втором этапе тот мультиплексор, который в данный момент должен работать (рис.3.4).

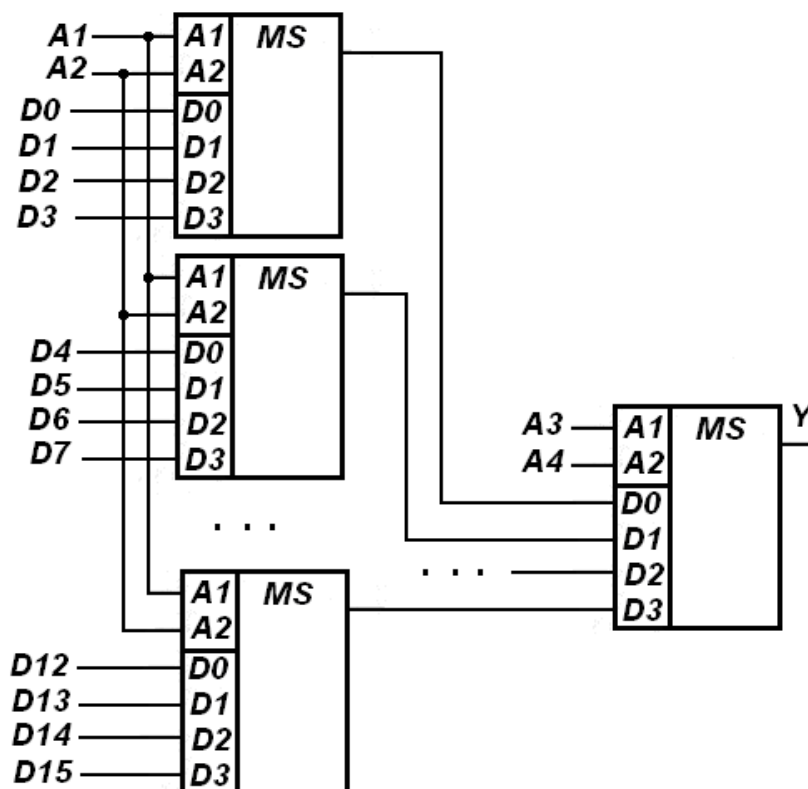


Рис.3.4. Наращивание мультиплексоров

Можно заметить некоторую аналогию в построении этой схемы с тем подходом, который был реализован для наращивания дешифраторов. Однако последовательность работы ступеней в данном случае инверсная по отношению к младшим и старшим адресным входам. Здесь младшие адреса A1, A2 управляют первой ступенью, а старшие A3, A4 – управляют последующей ступенью. Такой подход, как и у дешифраторов, может обеспечить много ступеней с теми же ограничениями.

Синтез комбинационных схем на основе мультиплексоров

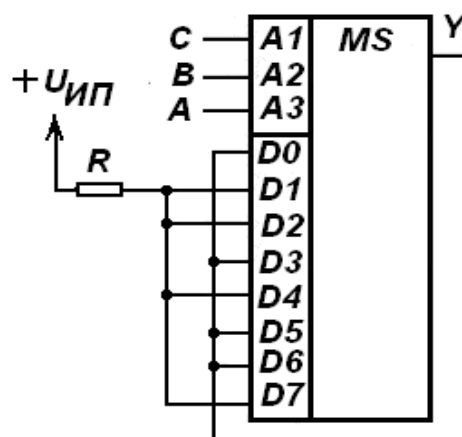
Мультиплексоры находят широкое применение в вычислительной технике в качестве коммутаторов шин адреса и данных общей памяти. В цифровой аппаратуре мультиплексоры используют для последовательного опроса состояния различных датчиков, выполнения быстрого сдвига на несколько разрядов, выдачи прямого или инверсного кода. Мультиплексор также можно использовать в качестве универсального логического элемента для реализации логической функции с числом аргументов, равным числу адресных входов мультиплексора. Если на адресные входы подавать входные значения переменных, а на соответствующие входы данных подать

константы, соответствующие значению функции при каждом наборе, то на выходе мультиплексора будут появляться значения логической функции.

Так, на рис.3.5,а представлена таблица истинности функции Y формирования разряда четности для трех информационных разрядов A , B и C . Значение функции должно быть таково, чтобы в совокупности на четырех разрядах сумма всех единиц была четной. Такая функция, используя информационную избыточность, позволяет контролировать достоверность хранения и передачи данных в системах телекоммуникации.

Адресные входы			Значение функции четности Y
A3	A2	A1	
A	B	C	
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

а)



б)

Рис.3.5. Таблица истинности схемы формирования разряда четности (а) и ее реализация на мультиплексоре (б)

Легко видеть, что константы нуля должны быть поданы на те входы данных, которые коммутируются при входных наборах, соответствующих нулевому значению функции (рис.3.5,б). Аналогично константы единицы поданы на те входы данных, которым соответствует единичное значение функции. Следует обратить внимание, что входные комбинации, будучи поданными на адресные входы мультиплексора, приобретают свойства двоичного кода и каждая переменная приобретает свой вес.

Такая реализация логических функций позволяет не заниматься минимизацией, но получить задержку не более задержки одного мультиплексора. Однако сложность реализуемой функции ограничивается количеством адресных входов используемого мультиплексора (количеством аргументов функции).

Мультиплексоры в интегральных сериях

В интегральном исполнении выпускаются различные структуры мультиплексоров, имеющих разное число информационных входов. В качестве примера представлена ИМС К155КП7, которая входит в библиотечный набор цифровых элементов системы "Вариант". Её условное графическое обозначение приведено на рис.3.6. Данная ИМС имеет 8

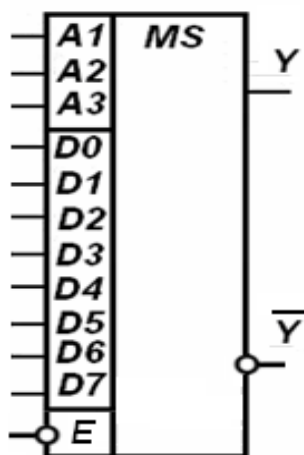


Рис.3.6. ИМС K155КП7

сигналах на всех его входах.

Наличие входа стробирования позволяет простыми средствами строить мультиплексоры на большее число входов.

Аналогичные возможности, но с формулой 16×1 и инверсным выходом имеет мультиплексор K155КП1, с формулой 8×1 – K155КП5.

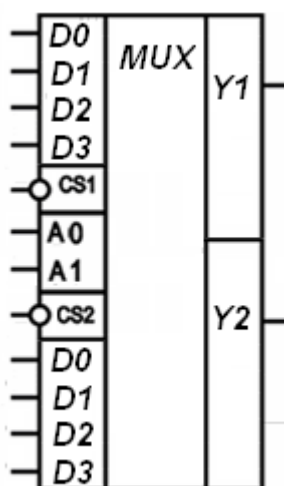


Рис.3.7. ИМС K531КП2

информационных D0-D7 входов, 3 адресных входа A1, A2, A3 и один вход стробирования E. Помимо прямого она имеет дополнительный инверсный выход, сигнал на котором всегда противофазен сигналу на прямом выходе. Вход стробирования является также инверсным. Поэтому активным является сигнал $E=0$. При его наличии сигнал на прямом выходе MS повторяет сигнал на том информационном входе, номер которого совпадает с десятичным эквивалентом адресного кода. При $E=1$ мультиплексор закрывается и на прямом выходе MS установится логический ноль при любых

Два четырехвходовых мультиплексора с общими адресными входами и отдельными инверсными входами разрешения образуют ИМС K531КП2 (рис.3.7). Микросхемы K531КП11, K555КП14 содержат по четыре одинаковых двухвходовых мультиплексора, у которых выходы могут переводиться входом разрешения в Z-состояние. Такие мультиплексоры применяются при организации шин в телекоммуникационных средствах.

В сериях имеются мультиплексоры, совмещенные с синхронными регистрами. Так, например, в микросхеме K555КП13 размещены четыре двухвходовых мультиплексора, выходы которых запоминаются в регистре по заднему фронту сигнала синхронизации. Такое устройство может использоваться в качестве буфера, способного принимать прямые и инверсные коды данных.

Вопросы для самоконтроля

1. Каково назначение схем мультиплексоров?
2. Каково назначение входов и выходов мультиплексоров?
3. Запишите логическую функцию для входа №6 мультиплексора?
4. Каким образом обозначаются входы мультиплексора? Почему?

5. В чем отличие одноступенчатого и многоступенчатого мультиплексора? На какие технические параметры это влияет?
6. Каково назначение входов разрешения мультиплексора? Как этот вход изменяет поведение устройства?
7. Как изображается мультиплексор на условном графическом обозначении?
8. Каково назначение адресных входов мультиплексора?
9. Как нумеруются адресные входы мультиплексора? Почему так?
10. Нарисуйте таблицу истинности мультиплексора на 6 входов данных.
11. Каким математическим соотношением связаны количество входов данных и адресных входов мультиплексора?
12. Какое количество каналов можно коммутировать с помощью ИМС современных серий?
13. Какой шифр указывается на корпусах ИМС мультиплексоров?
14. Постройте схему сумматора на основе мультиплексора. Какой сумматор можно реализовать? Сколько разрядов он может складывать?
15. Из каких функциональных узлов состоит мультиплексор?
16. В чем заключается принцип декомпозиции?
17. В чем состоят ограничения при синтезе схем на основе мультиплексоров?

4. ДЕМУЛЬТИПЛЕКСОРЫ

Демультиплексоры реализуют функцию обратную мультиплексору. Они позволяют коммутировать один вход схемы D на один из нескольких выходов 0-3 в зависимости от кода на адресных входах $A1$ - $A2$ (рис.4.1). В данном случае выбирается один из четырех каналов.

На функциональных схемах демультиплексоры обозначаются DMS, DMX или DMUX (от англ. demultiplexer, или demux), а на корпусах микросхем – аналогично мультиплексорам. Например, К564КП1, К564КП2.

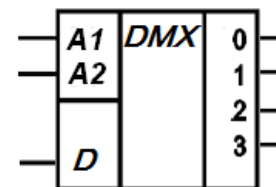


Рис.4.1.
Демультиплексор

В схеме демультиплексора для выбора конкретного выхода, как и в мультиплексоре, используется двоичный дешифратор. Соответствующий выход дешифратора разрешает прохождение сигнала через ключ выбранного выхода (рис.4.2).

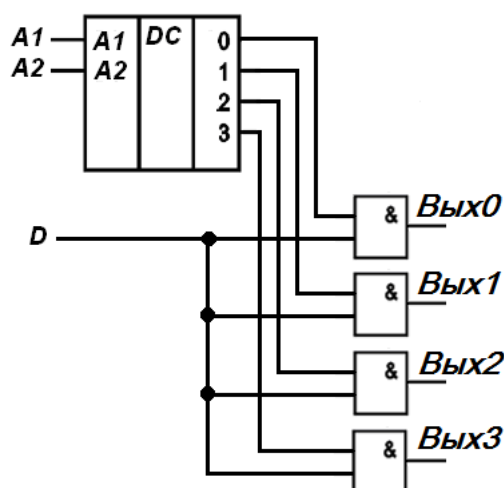


Рис.4.2. Функциональная схема
демультиплексора

Эту функцию также может реализовать дешифратор со входами разрешения.

На рис.4.3 в дешифраторе входы разрешения обозначены по этой причине символами данных - "D".

На вход $D1$ следует подать информационный сигнал, а на адресные входы – коды адресов выходов. Демультиплексор, получая данные на вход $D1$, выдает эти данные на один из выходов, который выбирается адресными входами. Получается, что схема дешифратора коммутирует канал на один из выбранных выходов. По причине таких функциональных превращений

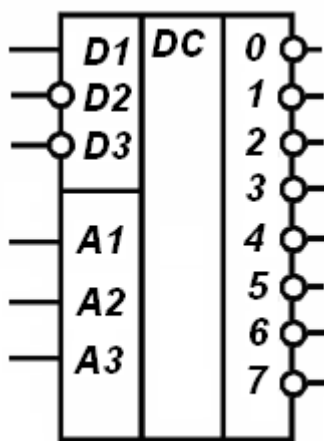


Рис.4.3. Дешифратор в роли демультиплексора

дешифратор со входом разрешения называют дешифратором-демультиплексором, а в интегральных сериях демультиплексор часто отсутствует.

Если у дешифратора есть дополнительные входы разрешения, как, например, на рис.4.3: D2, D3, то их можно использовать в качестве входов разрешения демультиплексора. Коммутация демультиплексора возможна только при наличии на этих входах разрешающих активных сигналов, т.е. должно быть: $D2=0$ и $D3=0$.

Следует учесть, что если дешифратор имеет инверсные выходы (см. рис.4.3), то коммутация осуществляется с инвертированием сигнала данных. Поэтому для коммутации без инвертирования данных необходимо подбирать дешифратор с прямыми выходами.

В МОП микросхемах не существует отдельных микросхем демультиплексоров, так как МОП мультиплексоры в них по информационным сигналам не различают вход и выход, т.е. направление распространения информационных сигналов, точно также как и в механических ключах, может быть произвольным. Если поменять входы и выход местами, то КМОП мультиплексоры будут работать в качестве демультиплексоров. Поэтому их часто называют просто коммутаторами.

Для наращивания демультиплексоров используют тот же подход, который применялся в разделе 1 при наращивании дешифраторов.

Вопросы для самоконтроля

1. Как на схемах обозначаются демультиплексоры?
2. Каково назначение входов и выходов демультиплексора?
3. Запишите логическую функцию для выхода №3 демультиплексора с разрешающим входом.
4. Каким образом нумеруются входы и выходы демультиплексора? Почему?
5. Как изображается демультиплексор на условном графическом обозначении?
6. Каким математическим соотношением связаны количество адресных входов и выходов демультиплексора?
7. Почему во многих сериях ИМС демультиплексоры отсутствуют?
8. Почему МОП технология позволяет использовать мультиплексоры в качестве демультиплексоров?
9. Постройте схему демультиплексора на 5 выходов.

10. Выполните схему, иллюстрирующую наращивание выходов демультиплексора.

5. КОМПАРАТОРЫ КОДОВ

Компаратором (от английского слова CoMPare – сравнивать) называют комбинационное цифровое устройство, предназначенное для сравнения двух двоичных кодов. Обозначается СМР или знаком "=".

Компараторы могут быть **простейшими** (определяющими только равенство сравниваемых чисел) и **полными**, то есть более сложными (дополнительно определяющими, какое из сравниваемых чисел является большим или меньшим). Компараторы могут быть одноразрядными и многоразрядными.

Простейший одноразрядный компаратор имеет два информационных А и В входа и один выход. Компаратор формирует сигнал $Y=1$, если $A=B$. (если входные сигналы одновременно равны "единице" или "нулю"). Все эти комбинации соответствуют таблице истинности одноразрядного сумматора по модулю 2. Легко видеть, что функция выхода компаратора может быть записана в виде:

$$Y = A \cdot B \vee \bar{A} \cdot \bar{B} \quad \text{или} \\ Y = \overline{A \cdot B \vee A \cdot \bar{B}} = A \oplus B$$

Таким образом, компаратор можно построить по первому выражению или использовать инверсию элемента сложения по модулю два. Если же выходным сигналом сравнения считать ноль, то сравнение сможет выполнить и сам элемент сложения по модулю 2. Условные графические обозначения одноразрядных компараторов показаны на рис.5.1.

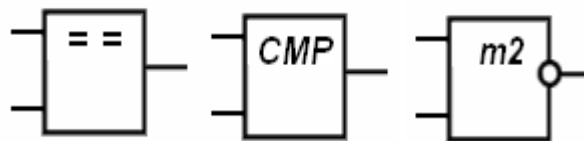


Рис.5.1. УГО одноразрядных компараторов

Схема **полного одноразрядного компаратора** должна иметь два информационных входа А и В, и три независимых выхода: Y_1 , Y_2 и Y_3 . Появление логической "1" только на одном из соответствующих выходов должно обеспечиваться выполнением взаимоисключающих условий: $A > B$, $A = B$ и $A < B$. Все перечисленные состояния схемы могут быть отражены в таблице истинности вида:

Входы		Выходы		
A	B	$Y_1(A>B)$	$Y_2(A=B)$	$Y_3(A<B)$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Вытекающие из таблицы аналитические выражения выходов:

$$Y_1 = A \cdot \bar{B}, \quad Y_2 = \bar{A} \cdot \bar{B} \vee A \cdot B, \quad Y_3 = \bar{A} \cdot B$$

являются основой для построения схемы рассматриваемого компаратора, приведенной на рис.5.2. С целью минимизации числа логических элементов она может быть легко преобразована в эквивалентную ей схему, приведенную на рис.5.3. Так как при $A=B$ в ней $Y_1=Y_3=0$, то инверсия их логического сложения на элементе ИЛИ-НЕ с выходом Y_2 будет равна "1".

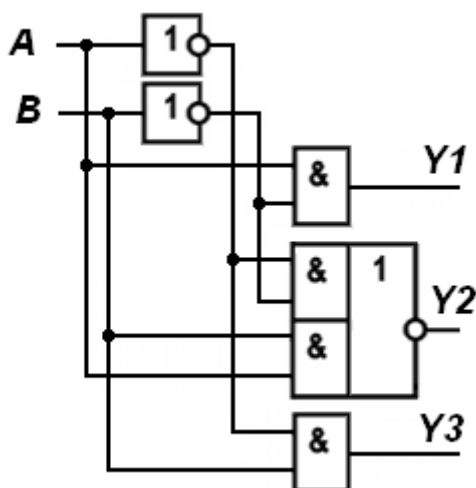


Рис.5.2. Схема компаратора без минимизации

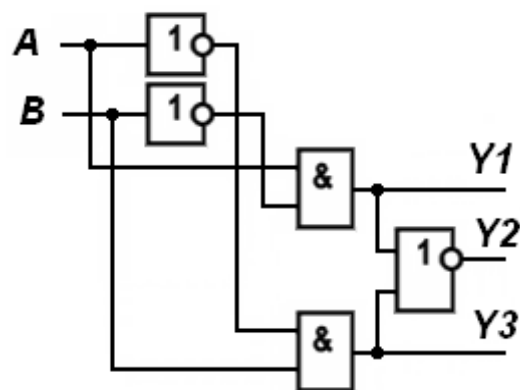


Рис.5.3. Схема компаратора после минимизации

Простейший многоразрядный компаратор используется для сравнения многоразрядных кодов и выдает единицу при их равенстве. Его можно построить из условия равенства кодов в каждом разряде. При равенстве каждый одноразрядный компаратор будет выдавать единицу. Если хотя бы в одном разряде коды не совпадут, то на выходе схемы установится сигнал "0", что свидетельствует о неравенстве кодов (рис.5.4). Информацию об отношении сравниваемых кодов (т.е. какой из них больше или меньше) данная схема не выдаёт.

Полный многоразрядный компаратор в отличие от простейшего должен выдавать информацию не только о равенстве сравниваемых

многоразрядных чисел A и B , но и о том, какое из них больше и какое меньше.

Существует несколько методик синтеза схем таких компараторов. В любой из них учитывается, что $A=B$ только при попарном равенстве между собой всех разрядов этих чисел, то есть если $A_i=B_i$. Большим, допустим из трёхразрядных чисел $A(A_2, A_1, A_0)$ и $B(B_2, B_1, B_0)$, считается число A ($A>B$), если их старшие разряды $A_2>B_2$ или $A_2=B_2$ и $A_1>B_1$ или $A_2=B_2$, $A_1=B_1$ и $A_0>B_0$. Очевидно, что меньшим может считаться число A ($A<B$), если их аналогичные разряды $A_2<B_2$ или $A_2=B_2$ и $A_1<B_1$ или $A_2=B_2$, $A_1=B_1$ и $A_0<B_0$.

Первый этап получения начальных соотношений можно реализовать на основе полного одноразрядного компаратора (см. рис.5.3). С учетом этого схема первого этапа для 3-х разрядного компаратора приведена на рис.5.5.

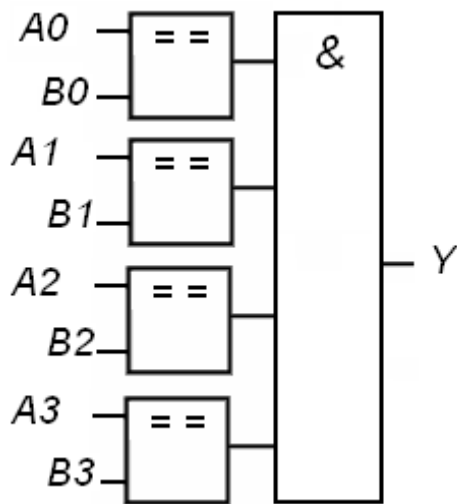


Рис.5.4. Простейший 4-х разрядный компаратор

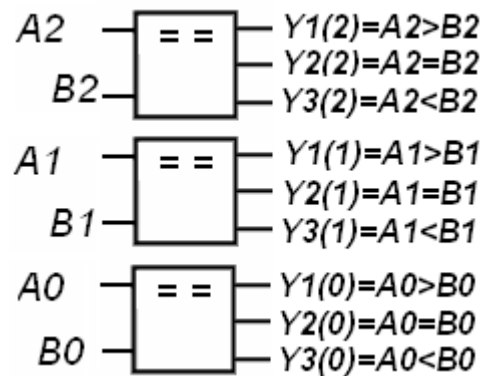


Рис.5.5. Схема первого этапа сравнения 3-х разрядного компаратора

Учитывая результаты и обозначения первого этапа сравнения, таблица истинности для схемы полного трёхразрядного компаратора должна быть следующей:

Входы			Выходы		
2 разряд	1 разряд	0 разряд	$F1=(A>B)$	$F2=(A=B)$	$F3=(A<B)$
$Y1(2)$	*	*	1	0	0
$Y3(2)$	*	*	0	0	1
$Y2(2)$	$Y1(1)$	*	1	0	0
$Y2(2)$	$Y3(1)$	*	0	0	1
$Y2(2)$	$Y2(1)$	$Y1(0)$	1	0	0
$Y2(2)$	$Y2(1)$	$Y3(0)$	0	0	1
$Y2(2)$	$Y2(1)$	$Y2(0)$	0	1	0

Звездочки в таблице обозначают произвольные значения. Старшие разряды как обычно имеют больший числовой индекс (вес). На основе таблицы аналитические выражения для выходов:

$$F1 = Y1(2) \vee Y2(2) \cdot Y1(1) \vee Y2(2) \cdot Y2(1) \cdot Y1(0)$$

$$F2 = Y2(2) \cdot Y2(1) \cdot Y2(0)$$

$$F3 = Y3(2) \vee Y2(2) \cdot Y3(1) \vee Y2(2) \cdot Y2(1) \cdot Y3(0)$$

На основе этих выражений может быть построена схема второго этапа преобразований в компараторе (рис.5.6).

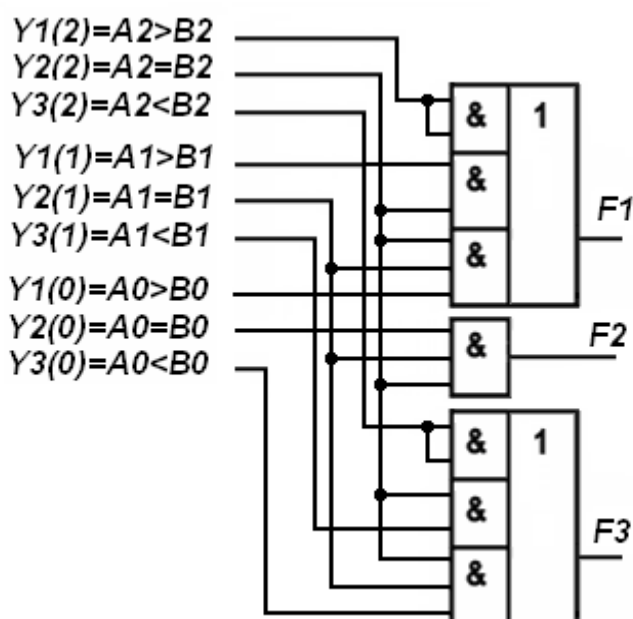


Рис.5.6. Схема второго этапа преобразований в компараторе

Следует особо подчеркнуть, что в многоразрядных компараторах сравниваются двоичные коды чисел. Поэтому расположение старших и младших разрядов чисел имеет принципиальное значение.

В интегральных сериях микросхем схемы сравнения имеют обозначение "СП". Четырехразрядными схемами сравнения являются К555СП1, КР1533СП1, КР581СП1 и т.д. Помимо входов для подачи чисел в прямом коде такие схемы имеют входы для расширения разрядности схем сравнения. Для примера на рис.5.7 показана четырехразрядная ИМС

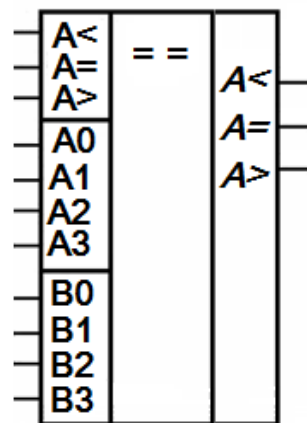


Рис.5.7. ИМС КР1533СП1

сравнения чисел КР1533СП1.

На входы расширения подаются одноименные сигналы с выходов младшей группы разрядов сравниваемых чисел.

Если младшей группы разрядов нет, то на вход расширения $A=B$ необходимо подавать сигналы логической единицы, на остальные - нули. Логiku работы ИМС можно просмотреть по таблице истинности схемы компаратора:

Входы				Входы			Выходы		
A3,B3	A2,B2	A1,B1	A0,B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	*	*	*	*	*	*	1	0	0
A3<B3		*	*	*	*	*	0	1	0
A3=B3	A2>B2	*	*	*	*	*	1	0	0
A3=B3	A2<B2	*	*	*	*	*	0	1	0
A3=B3	A2=B2	A1>B1	*	*	*	*	1	0	0
A3=B3	A2=B2	A1<B1	*	*	*	*	0	1	0
A3=B3	A2=B2	A1=B1	A0>B0	*	*	*	1	0	0
A3=B3	A2=B2	A1=B1	A0<B0	*	*	*	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	1	0	0	1	0	0
A3=B3	A2=B2	A1=B1	A0=B0	0	1	0	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	*	*	1	0	0	1
A3=B3	A2=B2	A1=B1	A0=B0	1	1	0	0	0	0
A3=B3	A2=B2	A1=B1	A0=B0	0	0	0	1	1	0

Если разрядов 24 и более, то наращивание разрядов можно выполнить в два этапа. Сначала линейка из 5 четырехразрядных схем КР1533СП1 обрабатывает 24 разряда сравниваемых чисел: для младшей группы кодов на вход расширения $A=B$ подается единица, на остальные четыре ИМС подается по 5 пар разрядов, включая входы $A<B$ и $A>B$. Второй этап организован еще на одной ИМС КР1533СП1: три входа расширения соединяются с тремя выходами младшей ИМС, входы сравниваемых чисел подключаются последовательно к выходам остальных четырех схем сравнения $A>B$ и $A<B$, начиная с младшей ИМС.

Вопросы для самоконтроля

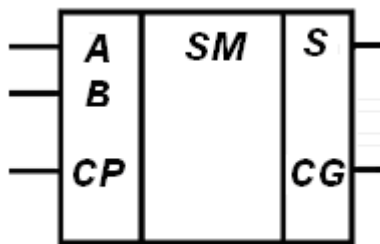
1. Каково назначение входов и выходов устройства сравнения?
2. Каким образом нумеруются входы и выходы устройства сравнения? Почему?
3. Как изображается устройство сравнения на условном графическом обозначении?
4. В чем отличие простого и полного устройства сравнения?
5. Для каких целей предназначены входы расширения? какие сигналы на них необходимо подавать?

6. Какие константные сигналы необходимо установить для входов расширения схемы КР1533СП1 для сравнения четырехразрядных чисел?
7. Как обозначается простая одноразрядная схема сравнения на УГО?
8. Запишите логическое выражения для простого одноразрядного компаратора.
9. Нарисуйте схему сравнения 16-разрядных чисел.

6. СУММАТОРЫ

Сумматор – это комбинационная схема, выполняющая операцию арифметического суммирования двоичных кодов двух чисел.

Одноразрядный сумматор складывает числа одноразрядные. Если предположить, что из него должны строиться многоразрядные сумматоры, то такой сумматор должен иметь два входа слагаемых A и B , вход переноса (вход распространения переноса) CRP или CR (от англ. $CaRry$ – нести и $Propagation$ – распространение), а также выход суммы S (от англ. Sum – сумма) и выход переноса CRG или CG (от англ. $CaRry$ $Generation$ – выход генерации переноса). Такой сумматор называют **полным**. Условное графическое обозначение одноразрядного (полного) сумматора представлено на рис.6.1,а. Существуют также **полусумматоры**, которые не учитывают вход CRP , однако широкого распространения они не получили, построить многоразрядный сумматор из них невозможно. Логика работы одноразрядного полного сумматора показана в таблице истинности на рис.6.1.,б. В разряде осуществляется арифметическое суммирование $A+B+CRP$ с формированием суммы S и переноса в следующий разряд CRG .



а)

Входы			Выходы	
CRP	A	B	CRG	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

б)

Рис.6.1. УГО (а) и таблица истинности (б) сумматора

Аналитические выражения для выходных функций сумматора имеют вид:

$$CRG = \overline{CRP} \cdot A \cdot B \vee CRP \cdot \overline{A} \cdot B \vee CRP \cdot A \cdot \overline{B} \vee CRP \cdot A \cdot B = CRP \cdot A \vee CRP \cdot B \vee A \cdot B$$

Получается, что функция генерации переноса совпадает с функцией мажоритирования "2 из 3". Это дает возможность не создавать отдельных микросхем мажоритирования, а использовать микросхемы сумматоров, что уменьшает номенклатуру микросхем в серии без ущерба для ее функциональности;

$$S = \overline{CRP} \cdot \overline{A} \cdot B \vee \overline{CRP} \cdot A \cdot \overline{B} \vee CRP \cdot \overline{A} \cdot \overline{B} \vee CRP \cdot A \cdot B$$

Видно, что функция суммы совпадает с функцией сложения по модулю 2 трех аргументов. В этом заключается ее дополнительное назначение:

$$S = CRP \oplus A \oplus B$$

Реализация непосредственно самого сумматора сводится к построению схем с минимальной задержкой распространения переноса и вариантов схем существует несколько. Один из них сводится к использованию логически сложных, но легко реализуемых в ТТЛ-технологии элементов И-ИЛИ-НЕ. Они имеют задержку одного логического элемента и вполне удовлетворяют условиям поставленной задачи.

Для перевода в этот базис достаточно на обе части выражения для генерации переноса опустить отрицание, которое не изменит тождество:

$$\overline{CRG} = \overline{CRP \cdot A \vee CRP \cdot B \vee A \cdot B}$$

Для составляющих выражения суммы путем эквивалентных преобразований легко доказать:

$$\begin{aligned} C \cdot \overline{A} \cdot \overline{B} &= C \cdot \overline{CRG} \\ \overline{CRP} \cdot \overline{A} \cdot B &= B \cdot \overline{CRG} \\ \overline{C} \cdot A \cdot \overline{B} &= A \cdot \overline{CRG} \end{aligned}$$

Тогда в выбранном базисе, путем опускания инверсии на левую и правую часть выражения для суммы получим:

$$\overline{S} = \overline{CRP \cdot \overline{CRG} \vee A \cdot \overline{CRG} \vee B \cdot \overline{CRG} \vee CRP \cdot A \cdot B}$$

Это выражение предполагает получение сначала функции генерации переноса, а затем ее использование для получения функции суммы. Функциональная схема сумматора, использующая эти выражения, показана на рис.6.2. Такая схема экономична по затратам и задержка переноса в ней равна задержке одного логического элемента.

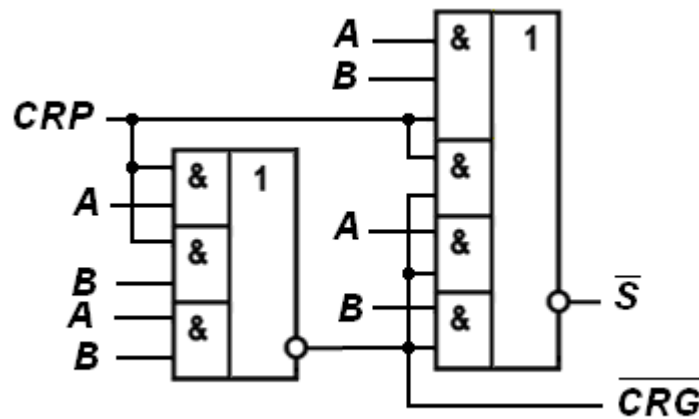


Рис.6.2. Функциональная схема сумматора

Представленная схема реализована в микросхеме, например, К155ИМ1. Однако на рисунке выходы сумматора имеют инверсии, поэтому в микросхемах К155ИМ2, К155ИМ3 (рис.6.3) инверторы на части выходов уже добавлены.

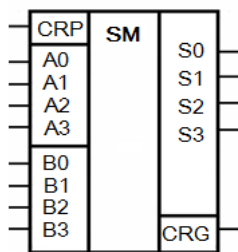


Рис.6.3. УГО ИМС К155ИМ3

Однако для организации сумматоров инвертированные выходы не являются неудобством или ограничением. Причина этого кроется в том, что функции генерации переноса и суммы являются самодвойственными. Это означает, что при инвертировании входных переменных инвертируется и значение функции. В этом легко убедиться при анализе таблицы истинности сумматора (см. рис.6.1,б). В ней каждому входному набору можно найти набор с обратными переменными, при этом выходные функции на этих наборах также обратные. Поэтому при создании многоразрядных сумматоров переносы соединяют без инверсий, а на разряды, получающие инверсные значения переносов формируют инверсные коды слагаемых, которые без лишних затрат можно получить с инверсных выходов хранящих их триггеров.

Схемы переносов в многоразрядных сумматорах

По способу организации переносов в многоразрядном сумматоре различают сумматоры с последовательным и параллельным переносами.

В сумматоре с последовательным переносом выход генерации переноса предыдущего разряда соединяется с входом переноса последующего разряда (рис.6.4), т.е. последовательно. Поэтому общее время получения суммы зависит от количества разрядов, через которые передается перенос. Именно поэтому такое большое внимание уделяется минимизации схемы формирования функции генерации переноса в отдельном разряде. Такие схемы сумматоров просты, но быстродействие их низкое.

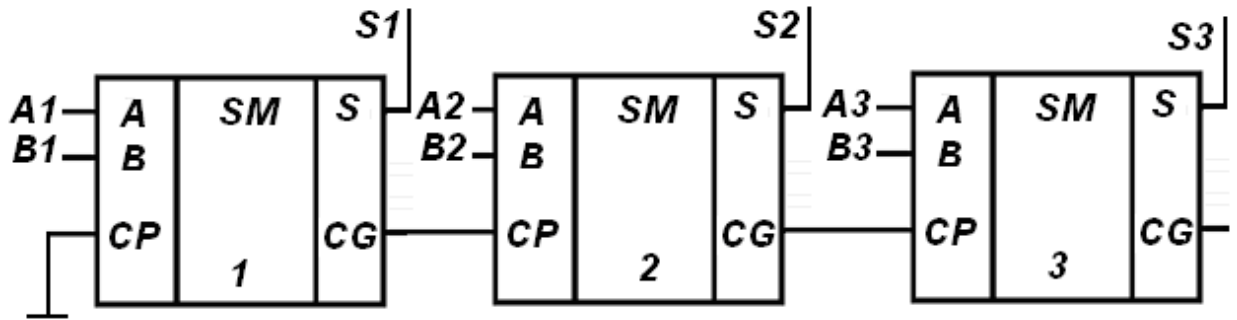


Рис.6.4. Сумматор с последовательным переносом

Для уменьшения задержки сумматора перенос должен формироваться параллельно, т.е. одновременно во все разряды. Каждый перенос при этом формируется независимо от переноса в соседние младшие разряды и является функцией слагаемых и переноса в младшие разряды сумматора. Время распространения переноса в этом случае не зависит от числа разрядов. Например, задержка 4-разрядного сумматора К155ИМ6 с параллельным переносом вдвое меньше задержки 4-разрядного сумматора К155ИМ3 с последовательным переносом.

Сигналы переноса для каждого разряда в сумматоре с параллельным переносом формируются следующим образом:

$$CRP1 = C0$$

$$CRG1 = CRP1 \cdot A1 \vee CRP1 \cdot B1 \vee A1 \cdot B1 = C0 \cdot A1 \vee C0 \cdot B1 \vee A1 \cdot B1$$

$$CRP2 = CRG1 = C0 \cdot A1 \vee C0 \cdot B1 \vee A1 \cdot B1$$

$$CRG2 = CRP2 \cdot A2 \vee CRP2 \cdot B2 \vee A2 \cdot B2 = (C0 \cdot A1 \vee C0 \cdot B1 \vee A1 \cdot B1) \cdot A2 \vee \\ \vee (C0 \cdot A1 \vee C0 \cdot B1 \vee A1 \cdot B1) \cdot B2 \vee A2 \cdot B2$$

$$CRP3 = CRG2 = \dots$$

Легко видеть, что по мере увеличения старшинства разряда сложность функции формирования переноса в разряд существенно усложняется. Поэтому при реализации функции на дискретных компонентах выигрыш во времени получить невозможно, потому что растет число логических элементов. Параллельный перенос может дать положительный эффект только при его интегральной реализации непосредственно в кристалле самой микросхемы. Следует заметить, что отдельные серии микросхем содержат специальные схемы ускоренного переноса, которые реализуют функции формирования переноса в разряды сумматора или группы разрядов и предполагаются для монтажа с сумматорами для организации параллельного (группового) переноса. Однако в настоящее время актуальность таких схем значительно утрачена.

Необходимо подчеркнуть, что сумматор складывает коды чисел, и, следовательно, порядок разрядов складываемых кодов имеет значение. На

это следует обратить особое внимание. Кроме того, в интегральных сериях присутствуют сумматоры и нет вычитателей двоичных кодов. Это объясняется использованием принципов выполнения операций в дополнительном или инверсном кодах. Каждый из этих вариантов в вычислителе зафиксирован аппаратно, цифровая система не может быть программно перестроена на другой тип кодов, да в этом и нет необходимости. Подготовка чисел для реализации машинной арифметики является самостоятельной задачей и не имеет отношения к схемам сумматоров.

Сумматор по модулю 2

Схема, выполняющая сложение в одном разряде (фактически это полусумматор) должна реализовывать следующую таблицу истинности:

A	B	S	CRG
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Выход суммы S в аналитическом виде записывается в виде

$$S = \bar{A} \cdot B \vee A \cdot \bar{B} = A \oplus B.$$

Комбинационную схему, реализующую такую функцию, часто называют **сумматором по модулю два**, так как на его выходе появляется не действительная сумма, а только остаток, получаемый при её делении на два. Такую функцию в формулах обозначают знаком плюс в круге как показано в выражении суммы. В более простом варианте это как бы результат суммы только в этом разряде, без учета переноса в следующий разряд.

Другое название этой логической функции – **неравнозначность**, так как сигнал $S=1$ на её выходе появляется только в том случае, когда на входах A и B действуют различные (неравнозначные) сигналы "0" и "1". Кроме того, используют названия – **"исключающее ИЛИ"** (строгая дизъюнкция), подчеркивая, что на выходе сигнал будет только при наличии одной единицы из двух сигналов на входе. Синонимом последнего названия является аббревиатура - **XOR** (от английского eXclusive OR- исключающее ИЛИ). Эквивалентные условные графические обозначения таких элементов представлены на рис.6.5.

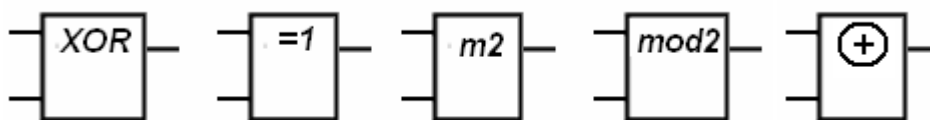


Рис.6.5. УГО элемента сложения по модулю 2

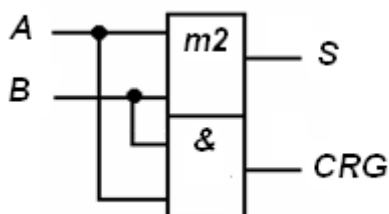


Рис.6.6. Схема одноразрядного полусумматора

Сумматор по модулю два выпускают в интегральном исполнении и часто используют для реализации различных логических функций. Например, схема одноразрядного полусумматора с учётом сумматора по модулю 2 приведена на рис.6.6 и пояснений не требует.

Вопросы для самоконтроля

1. Чем отличается полусумматор от одноразрядного сумматора?
2. Каково назначение входов и выходов сумматора?
3. Каким образом нумеруются входы сумматора? Почему?
4. Как изображается сумматор на условном графическом обозначении?
5. Запишите логическую функцию для суммы одноразрядного сумматора.
6. Запишите логическую функцию для переноса одноразрядного сумматора.
7. Почему в сериях ИМС отсутствуют вычитатели?
8. Каковы правила сложения двух чисел со знаком в вычислительной машине?
9. Каковы правила вычитания двух чисел со знаком в вычислительной машине?
10. Каковы правила хранения чисел со знаком в вычислительной машине?
11. В чем отличие схем сумматоров, выполняющих операции в обратных и дополнительных кодах?
12. Почему схемы сумматоров с параллельным переносом дают выигрыш во времени только до определенного предела количества разрядов?

7. КОДОПРЕОБРАЗОВАТЕЛИ

Под **преобразователем** кодов понимают комбинационное цифровое устройство, обеспечивающее реализация некоторой функции. Это очень широкое определение, но сюда обычно не включают классические преобразователи, такие как дешифраторы, мультиплексоры, сумматоры, компараторы.

Преобразователи применяют для шифрования и дешифрования данных. На УГО преобразователи обозначают символами "X/Y". Количество входов и выходов может быть произвольным. Различают преобразователи:

- с невесовым преобразованием кодов;
- с весовым преобразованием кодов.

Типичным представителем **невесового** преобразователя является преобразователь 4-х разрядного двоичного кода в код для семисегментного индикатора. Выходная комбинация сигналов в данном случае не является двоичным числом в обычном понимании, и его разряды не несут на себе весовую нагрузку. Они образуют изображение символа на индикаторе, формируемое отдельными сегментами.

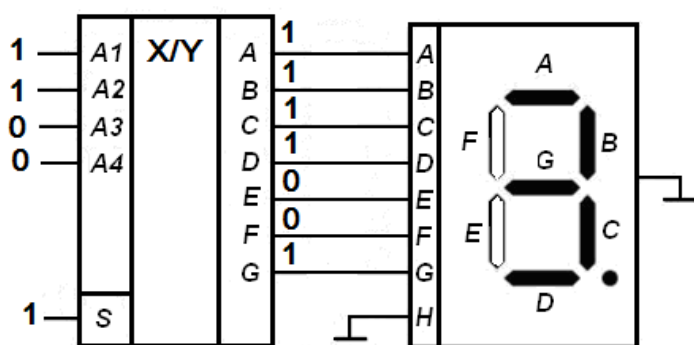


Рис.7.1. K133ПП4

Примером такой ИМС может быть K133ПП4 (рис.7.1). На входы микросхемы подается код десятичной тройки: 0011. На вход гашения S подается 1 для отображения символа. При таких входах выходные сигналы кодопреобразователя зажигают только те сегменты индикатора, которые образуют

изображение десятичной тройки.

Аналогичные функции выполняют ИМС 555ИД18, 564ИД4 и т.д. В их обозначениях стоят символы "ИД", обозначающие ИМС дешифраторов. Но в своей группе они носят приставку "специальный". Смешение этих обозначений формировалось исторически и только подчеркивает их принадлежность к общей группе кодопреобразователей.

Преобразователь двоично-десятичного кода в двоичный

Название второй группы (с **весовым преобразованием** кодов) подчеркивает, что они используются для преобразования числовых данных.

Типовыми преобразователями такого типа являются преобразователи двоично-десятичного кода в двоичный и наоборот.

Двоично-десятичный код (BCD от англ. Binary-Coded Decimal) - форма записи чисел, при которой каждый десятичный разряд числа записывается в виде его четырёхбитного двоичного кода (тетрады).

Например, десятичное число 321 будет записано в двоичной системе счисления в двоичном коде как 1 0100 0001, а в двоично-десятичном коде как 0011 0010 0001 BCD.

Тетрада способна закодировать 16 символов, поэтому 0-9 используют для кодирования чисел, а оставшиеся коды (запрещенные) для кодирования специальных символов типа "*", "#", запятой, кода гашения и т.д. Такое кодирование упрощает вывод символов на индикацию и ввод с клавиатуры, упрощает округление, но требует дополнительной памяти, т.к. не все возможные комбинации используются. Код кроме того усложняет арифметические операции. Двоично-десятичное кодирование помимо калькуляторов применяется в телефонной связи.

Арифметические операции с двоично-десятичным кодированием предполагают выполнение дополнительной коррекции результата по следующим правилам:

1. При сложении двоично-десятичных чисел каждый раз, когда происходит перенос бита в старший полубайт, необходимо к полубайту, от которого произошёл перенос, добавить корректирующее значение 0110, представляющее собой разницу количеств всех возможных комбинаций полубайта и используемых значений ($0110_2 = 6_{10} = 16_{10} - 10_{10}$);

2. При сложении двоично-десятичных чисел каждый раз, когда встречается недопустимая для полубайта комбинация (число, большее 9), необходимо к каждой недопустимой комбинации добавить корректирующее значение 0110 с разрешением переноса в старшие полубайты;

3. При вычитании двоично-десятичных чисел, для каждого полубайта, получившего заём из старшего полубайта, необходимо провести коррекцию, отняв значение 0110.

Например, требуется выполнить сложение двоично-десятичных чисел $A = D + C$, где $D = 3927$, $C = 4856$

Числа D и C в двоично-десятичной форме:

$D = 3927_{10} = 0011\ 1001\ 0010\ 0111\ \text{BCD}$,

$C = 4856_{10} = 0100\ 1000\ 0101\ 0110\ \text{BCD}$.

Суммирование чисел D и C выполняется по правилам двоичной арифметики:

0011 1001 0010 0111

+ 0100 1000 0101 0110

= 1000 0001 0111 1101 - двоичная сумма

+ 0110 0110 - коррекция (перенос и недопустимое значение)

1000 0111 1000 0011 - BCD-код суммы: 8783.

Однако выполнять такие вычисления сложно и долго. BCD-коды применяют для ввода с клавиатуры или с позиционных переключателей, для отображения многоразрядной десятичной информации, но вычисления проще выполнять в двоичных кодах. Для этих преобразований и требуются кодопреобразователи.

Технология преобразования двоично-десятичного (BCD) кода в двоичный основана на последовательном сдвиге исходного кода, например, в правую сторону и коррекции исходного кода после сдвига. Сдвигать можно и в левую сторону, но для примера будут рассмотрены особенности сдвига вправо.

Дело в том, что значение выталкиваемого (самого младшего) разряда на каждом такте сдвига совпадает как в двоичном коде, так и в BCD-коде. И это очень важно. Поэтому получается, что на каждом такте сдвига формируется очередной разряд двоичного кода. Если BCD-код является двухразрядным и содержит два знака, то сдвигов должно быть восемь потому, что каждая цифра в BCD-коде кодируется одной двоичной тетрадой.

Кроме того следует помнить, что каждый сдвиг вправо (в сторону младших разрядов) приводит к делению исходного кода на два без учета младшего разряда. При сдвиге же BCD-кода получаемое число не равно исходному, деленному на два. И связано это с иным нежели в двоичной системе распределением весов разрядов. Именно поэтому при сдвиге BCD-кода требуется коррекция результата. Она осуществляется всякий раз, когда единица из старшей тетрады перемещается при сдвиге в младшую тетраду. При перемещении нуля между тетрадами коррекция не требуется.

Необходимость и величину корректирующего воздействия можно проследить на рис.7.2. В качестве примера рассмотрен десятичный код 12 в формате BCD-кода. Вес каждой цифры числа 12 в десятичной системе счисления соответственно 10^0 для цифры 2 и 10^1 для цифры 1. Каждая из десятичных цифр закодирована соответствующей тетрадой двоичного кода, в котором каждая двоичная цифра имеет свой вес 8-4-2-1.

Цифра 1 десятков до сдвига имеет значимость в BCD-коде, которая вычисляется как произведение коэффициента 1 (это сама цифра) умноженная на вес единицы в двоичном коде тетрады (1) и вес разряда в десятичной цифре (10^1). Получается 10. Это находится в полном соответствии со значимостью этой цифры в десятичном числе 12: десятков в этой цифре один.

После такта сдвига вправо эта единица переместилась в младшую тетраду и ее новое значение в BCD-коде, исчисляемое по той же схеме: $1 \cdot 8 \cdot 10^0 = 8$. На самом же деле, т.к. сдвиг дает деление на два значение этой единицы должно быть $10/2=5$. Таким образом, полученное новое значение в младшей тетраде отличается от правильного значения на тройку. Вот эту тройку и необходимо вычитать из тетрады, в которую переходит единица. Поэтому коррекция заключается в вычитании двоичного кода 0011 из полученного результата в младшей тетраде. Если в тетраду переходит ноль,

то коррекция не требуется. Коррекция выполняется во всех тетрадах, в которые попадает единица из старших тетрад при очередном сдвиге.

Десятичное число 12	1	2	Младший разряд
Вес цифры в 10-системе	10^1	10^0	
Вес цифр в 2-системе	8-4-2-1	8-4-2-1	
BCD-код числа 12	0 0 0 1	0 0 1 0	
Исходный вес 1 в BCD-коде	$1 * 1 * 10^1 = 10$		
Сдвиг BCD-кода	0 0 0 0	1 0 0 1	0
Новый вес 1 в BCD-коде		$1 * 8 * 10^0 = 8$	
Требуемый новый вес в BCD-коде после сдвига		$10/2 = 5$	
Требуемая коррекция после сдвига		$8 - 5 = 3$	

Рис.7.2. Принцип коррекции BCD-кода

При этом разряд, который выталкивается при первом сдвиге, образует самый младший разряд двоичного кода. В данном случае это ноль. Последующие сдвиги будут образовывать последующие разряды в сторону увеличения веса.

Последовательность сдвигов и формируемые при этом разряды двоичного кода представлены на рис.7.3. После восьми сдвигов получено двоичное число 0000 1100, что в десятичной системе соответствует числу 12. Преобразование выполнено правильно.

Такую процедуру получения двоичного кода логично было бы выполнить на регистрах сдвига и сумматорах. Но это требует многократного тактирования и дополнительной схемы анализа единицы переноса между тетрадами. Этих недостатков лишена комбинационная схема. Для ее построения необходимо проанализировать динамику входных и выходных сигналов преобразователя.

Такт сдвига	BCD-код	Выталкиваемый разряд
Исходный код	0001 0010	
1 такт	0000 1001 Коррекция - 0011 0000 0110	0
2 такт	0000 0011	0
3 такт	0000 0001	1
4 такт	0000 0000	1
5 такт	0000 0000	0
6 такт	0000 0000	0
7 такт	0000 0000	0
8 такт	0000 0000	0

Рис.7.3. Последовательность формирования двоичного кода

Если преобразователь имеет четыре входа и четыре выхода, то его таблица истинности может быть такой, как показано на рис.7.4.

Младшая тетрада BCD-кода					Вход преобразователя при P=0	Выходы преобразователя при P=0					Вход преобразователя при P=1	Выходы преобразователя при P=1				
Входы преобразователя						Дес	8	4	2	1		Дес	Дес	8	4	2
P	4	2	1	-	0	0	0	0	0	0	8	0	1	0	1	5
	0	0	0	0	0	0	0	0	0	0	8	0	1	0	1	5
	0	0	1	0	1	0	0	0	1	1	9	0	1	1	0	6
	0	0	1	1	1	0	0	0	1	1	9	0	1	1	0	6
	0	1	0	0	2	0	0	1	0	2	10	0	1	1	1	7
	0	1	0	1	2	0	0	1	0	2	10	0	1	1	1	7
	0	1	1	0	3	0	0	1	1	3	11	1	0	0	0	8
	0	1	1	1	3	0	0	1	1	3	11	1	0	0	0	8
	1	0	0	0	4	0	1	0	0	4	12	1	0	0	1	9
	1	0	0	1	4	0	1	0	0	4	12	1	0	0	1	9

Рис.7.4. Таблица истинности 4-х входного преобразователя BCD-кода в двоичный код

Так как младший разряд BCD-кода и двоичного кода всегда совпадают, то его кодировать не нужно и следует передавать напрямую на выход. Этот разряд в таблице (см. рис.7.4) отмечен серым цветом. Освободившийся при этом четвертый вход преобразователя должен принимать младший разряд из предыдущей старшей тетрады. Этот вход в таблице отмечен символом "P".

Если при сдвиге в младшую тетраду сдвигается ноль (P=0), то на входе преобразователя получаются коды 0, 1, 2, 3, 4 и их преобразовывать не требуется. Это демонстрирует средняя часть таблицы.

Если же при сдвиге в младшую тетраду сдвигается единицы ($P=1$), то на входе преобразователя получаются коды 8, 9, 10, 11, 12 и требуется коррекция путем вычитания из тетрады числа 3. Получающиеся при этом коды на выходе преобразователя показаны в правой части таблицы. При этом самый старший вход преобразователя с учетом коррекции приобретает вес 5, что может отображаться в обозначении входов преобразователя. Веса выходов преобразователя при этом соответствуют двоичной системе. Элементарный преобразователь с такими обозначениями представлен на рис.7.5.

Если десятичный эквивалент тетрады входных сигналов обозначить как "X", а выходной двоичный код как "Y", то в общем виде функцию преобразователя можно представить в виде:

$$Y = f(X) = \begin{cases} X, & \text{если } 0 \leq X \leq 4; \\ X - 3, & \text{если } 8 \leq X \leq 12. \end{cases}$$

Причем входными кодами могут быть только те, которые указаны в таблице истинности (см. рис.7.4). Коды $X = 5, 6, 7, 13, 14, 15$ не могут поступить на вход преобразователя, т.к. обработке подлежат только коды числовые в диапазоне десятичной системы. Если коды многоразрядные, то преобразователи каскадируются в соответствии с логикой работы входов. Пример такого преобразователя представлен на рис.7.5.

Допустим, на преобразователь подаются три тетрады трехзначного BCD-кода, десятичный эквивалент которого равен 147. Старшая тетрада неполная, представлена только одним разрядом. Двоичные входные тетрады показаны на рис.7.5 уменьшенным шрифтом. В соответствии с таблицей истинности (см. рис.7.4) промежуточные и итоговый результаты показаны также уменьшенным шрифтом. Результат преобразования равен 0 1001 0011.

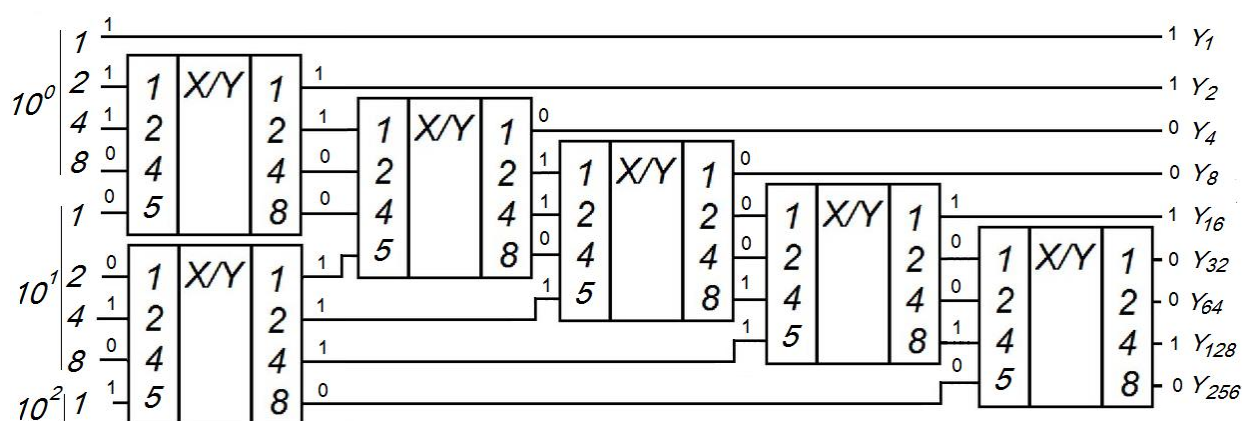


Рис.7.5. Последовательность формирования двоичного кода

В отечественных сериях микросхем преобразователи имеют обозначение ПР. Микросхема К155ПР6 представляет собой преобразователь двоично-десятичного кода в двоичный. Она реализована на масочном

(программирование произведено на заводе-изготовителе) постоянном запоминающем устройстве (ПЗУ) с выходами с открытым коллектором. Одна микросхема К155ПР6 позволяет преобразовать двоично-десятичный код чисел от 0 до 39 (входы 2, 4, 8, 10, 20) в двоичный (выходы 2, 4, 8, 16, 32). Реализация преобразователя на ПЗУ позволяет не выполнять минимизацию и обеспечить более высокое быстродействие. Для преобразователя кода в диапазоне 0 - 99 достаточно двух ИМС (рис.7.6).

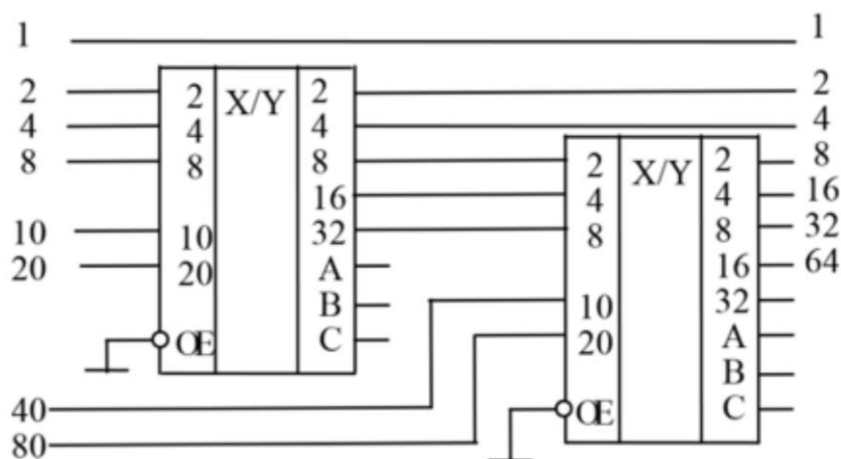


Рис.7.6. Преобразователь BCD-кода 0 - 99 на ИМС К155ПР6

Дополнительные выходы А, В, С расширяют логические возможности ИМС, позволяя получить при необходимости коды дополнения до 9 и 10. Вход разрешения при активном сигнале $OE=0$ обеспечивает нормальную работу преобразователя, а при $OE=1$ все выходы переключаются в единицу. Младшая тетрада подается на входы с весом 1-2-4-8, при этом самый младший разряд ко входу схемы не подключается. Два младших сигнала старшей тетрады подключаются ко входам со своими весами 10 и 20 в коде BCD.

Преобразователь двоичного кода в двоично-десятичный

Преобразователь двоичного кода в двоично-десятичный выполняет функцию обратную рассмотренным преобразователям двоично-десятичного в двоичный. Поэтому обобщенная функция преобразователя будет иметь вид:

$$Y = f(X) = \begin{cases} X, & \text{если } 0 \leq X \leq 4; \\ X + 3, & \text{если } 5 \leq X \leq 9. \end{cases}$$

Условное графическое обозначение преобразователя с четырьмя входами и выходами представлено на рис.7.7. Веса входов и выходов такого преобразователя взаимно заменены.

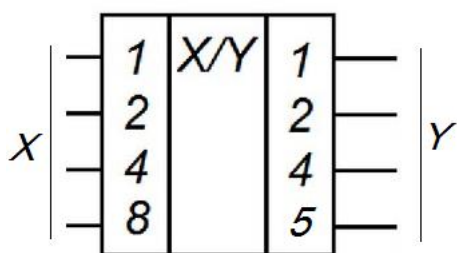


Рис.7.7. УГО преобразователя двоичного кода в BCD-код на 4 входа

В сериях ИМС имеется преобразователь двоичного кода в двоично-десятичный - К155ПР7. Эта схема имеет аналогичный схеме К155ПР6 вход разрешения с тем же назначением: при $OE=0$ преобразователь выполняет свою функцию, при $OE=1$ - выдает все единицы на выходе. Преобразователь на основе К155ПР7, обеспечивающий кодирование двоичного кода в диапазоне 0-255 представлен на рис.7.8.

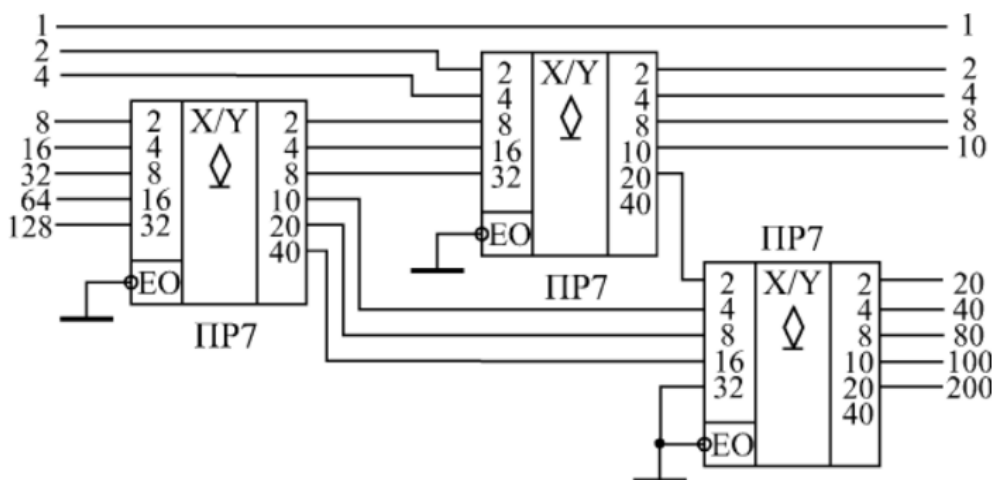


Рис.7.8. Преобразователь двоичного кода 0-255 в BCD-код на ИМС К155ПР7

Вопросы для самоконтроля

1. Как образуется двоично-десятичный код?
2. Каково назначение входов и выходов преобразователей?
3. Как изображается преобразователь на условном графическом обозначении?
4. Запишите логическую функцию для преобразователя двоично-десятичного кода в двоичный.
5. Запишите логическую функцию для преобразователя двоичного кода в двоично-десятичный.
6. Поясните назначение коррекции кода при преобразовании.
7. Как обозначаются микросхемы преобразователей?
8. Для каких целей используются преобразователи?
9. Допустимо ли выполнять арифметические операции с BCD-кодом? При каких условиях?
10. Почему схемы преобразователей выполняют на масочных ПЗУ?

8. СХЕМА КОНТРОЛЯ ЧЕТНОСТИ

Операция контроля по четности (или нечетности) используется при подтверждении достоверности передачи данных или их неповреждении при хранении в памяти. Суть операции заключается в контроле количества единиц в цифровом коде. Если число единиц четное, то схемой контроля четности формируется 1.

Схему контроля можно построить на основе схем сложения по модулю 2 всех разрядов сообщения. Признаком четности называется инверсия этой суммы. Поэтому если в коде число единиц четное, то схема будет выдавать единицу.

Для контроля по четности достоверности передачи (хранения) данных на передающей стороне формируют признак четности и передают его (хранят) вместе с информационными разрядами (рис.8.1).

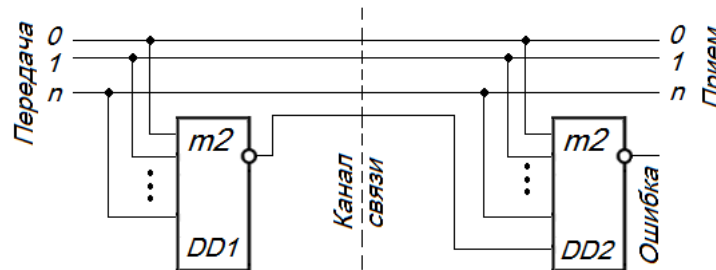


Рис.8.1. Схема контроля четности при передаче

На передающей стороне по фактическому количеству единиц в разрядах 0, 1, ..., n формируется признак четности элементом DD1. При четном числе единиц он выдаст 1. Передача осуществляется вместе с признаком четности, причем передаваемое сообщение и контрольный разряд вместе имеют всегда нечетное количество единиц. Если ошибок при передаче не произошло, то элемент DD2 должен выдавать 0, т.е. сигнал отсутствия ошибок. Аналогично можно проследить ситуацию при нечетном числе единиц в исходной посылке: DD1 выдает 0, но DD2 все равно выдает 0 (отсутствие ошибки).

Недостатком такого подхода являются необходимость в передаче дополнительного контрольного разряда и нечувствительность метода к кратному числу ошибок. Однако вероятность кратных ошибок несравнимо ниже вероятности однократной ошибки. Поэтому метод является очень популярным, значительно повышает достоверность передачи, его механизмы встраивают в типовые протоколы передачи данных. Аппаратные затраты на его реализацию ничтожны.

В случае необходимости получения более высоких характеристик передающих устройств требуется увеличить избыточность передачи, наращивая количество дополнительных разрядов. Теория обнаруживающих и

корректирующих кодов представляет собой отдельную достаточно сложную тему.

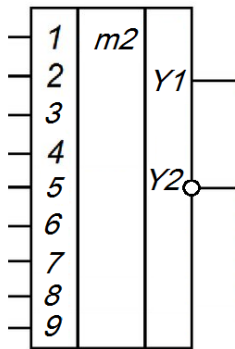


Рис.8.2. ИМС
KP531IP5

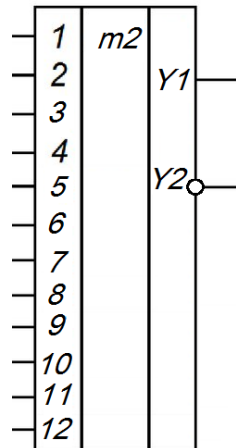


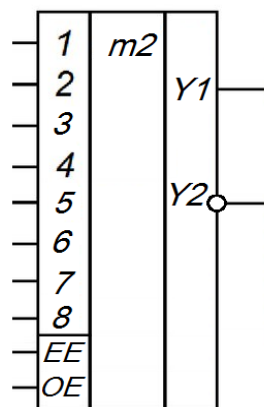
Рис.8.3. ИМС
KP531IP10

В сериях интегральных микросхем схемы контроля четности всегда представлены. Например, девятиразрядная схема контроля четности и нечетности 530ИП5, 533ИП5, 1533ИП5, KP531ИП5, K555ИП5 (рис.8.2) или аналогичная двенадцатиразрядная схема KP531ИП5 (рис.8.3).

Напряжение высокого уровня на выходе Y1 устанавливается только при четном числе единиц на входе, а на Y2 единица устанавливается

только при нечетном числе входных единиц.

Существуют также настраиваемые микросхемы контроля четности. В качестве примера можно привести восьмиразрядную ИМС K155ИП2, KM155ИП2 для высокоскоростной передачи данных (рис.8.4).



Сумма единиц на входах	EE	OE	Y1	Y2
Четная	1	0	1	0
Нечетная	1	0	0	1
Четная	0	1	0	1
Нечетная	0	1	1	0
x	1	1	0	0
x	0	0	1	1

Рис.8.4. ИМС KM155ИП2 и ее таблица управления

Как и ранее выход Y1 отображает факт четности, а Y2 - факт нечетности. Настройка заключается в задании активных сигналов четности и нечетности на выходе ИМС. Осуществляется это противофазной комбинацией сигналов EE (Even Enable - четное включение) и OE (Odd Enable - нечетное включение). В соответствии с таблицей (см. рис.8.4) сигнал четного включения EE=1 устанавливает единичный сигнал для фиксации события. Сигнал же нечетного включения OE=1 задает наоборот нулевой сигнал для фиксации события. На эту логику можно смотреть и иначе: схема настраивается на проверку либо четности, либо нечетности.

Вопросы для самоконтроля

1. Что означает четность и нечетность при контроле кодов?
2. Каково назначение входов и выходов схемы контроля четности?
3. Как изображается схема контроля четности на условном графическом обозначении?
4. Запишите логическую функцию для четырехразрядной схемы контроля четности.
5. Поясните достоинства и недостатки контроля данных по четности.
6. Как в соответствии с классификацией обозначаются микросхемы преобразователей?
7. Какие ошибки способны обнаруживать схемы контроля четности?
8. Данные каких типов могут быть проконтролированы схемой контроля четности (двоичные числа, BCD-код, текстовые, графические)?
9. Как признак четности зависит от положения единиц в числе?

9. АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО

Арифметико-логическое устройство (АЛУ) предназначено для выполнения логических и арифметических операций над многоразрядными числами. По своей природе она является комбинационным и формально может быть отнесено к преобразователям кодов.

Функциональная схема сумматора АЛУ показана на рис.9.1. Она представляет собой полный многоразрядный сумматор SM, для которого с помощью мультиплексоров (MS) обеспечивается подача прямых и обратных кодов слагаемых A и B, нулевых и единичных констант. Подключение нужных каналов осуществляется заданием адресных комбинаций мультиплексоров S0 - S3, которые, по сути, задают все множество возможных арифметических операций и выдачу результата F. Для сумматора с целью обеспечения наращивания разрядности также обеспечивается подача входного сигнала распространения переноса CRP и получение выходного сигнала переноса CRG (см. раздел 6).

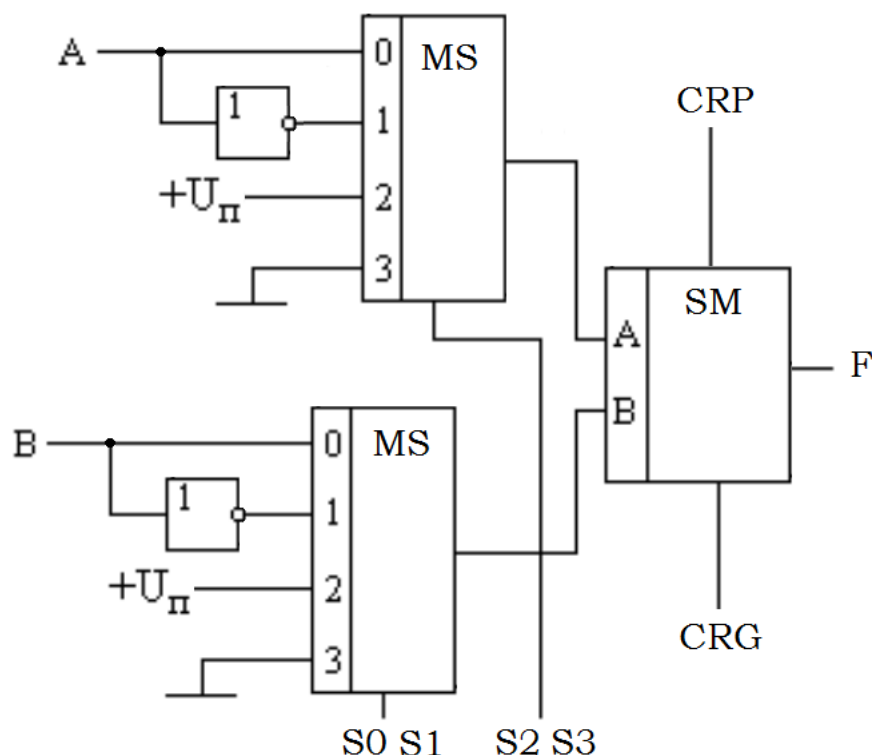


Рис.9.1. Функциональная схема сумматора АЛУ

Для реализации логических функций АЛУ сигналом задания режима работы M с помощью ключей вместо сумматора подключаются линейки логических элементов. В остальном работа устройства аналогична.

В интегральных сериях АЛУ представлено четырехразрядными микросхемами КР1533ИПЗ, К155ИПЗ и другими. В качестве примера на рис.9.2 показано УГО ИМС КР1533ИПЗ.

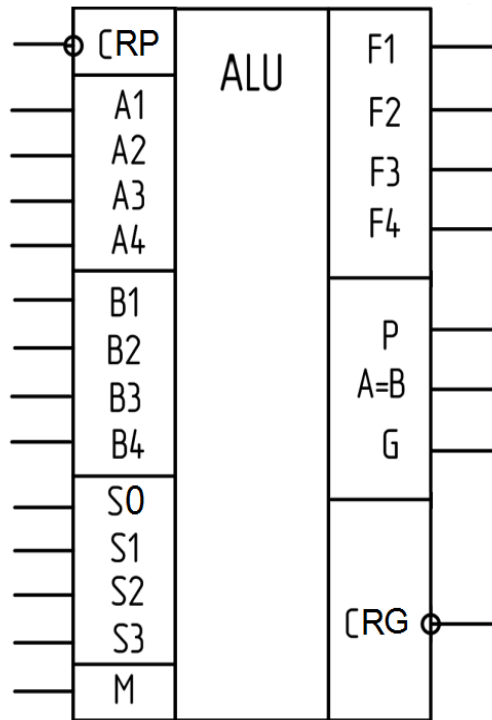


Рис.9.2. ИМС АЛУ КР1533ИПЗ

выполняют микросхемы К155ИП4, КР1533ИП4. Это повышает быстродействие многоразрядного сумматора.

Если время не является критическим параметром, то переносы организуются как последовательные с помощью выводов CRP и CRG. Вывод A=B фиксирует равенство кодов операндов. Все 32 функции АЛУ представлены в таблице истинности:

Выбор функции				M=1 Логические операции	M=0 Арифметические операции	
S3	S2	S1	S0		CRP=0	CRP=1
0	0	0	0	A	A	A+1
0	0	0	1	A+B	A+B	(A+B)+1
0	0	1	0	AB	A+B	(A+B)+1
0	0	1	1	0	-1	0
0	1	0	0	AB	A+AB	A+(AB)+1
0	1	0	1	B	(A+B)+AB	(A+B)+AB+1
0	1	1	0	A(+)B	A-B-1	A-B
0	1	1	1	AB	AB-1	AB
1	0	0	0	A+B	A+AB	A+AB+1
1	0	0	1	A+B	A+B	A+B+1
1	0	1	0	B	(A+B)+AB	(A+B)+AB+1
1	0	1	1	AB	AB-1	AB
1	1	0	0	1	A+A	A+A+1
1	1	0	1	A+B	(A+B)+A	(A+B)+A+1
1	1	1	0	A+B	(A+B)+A	(A+B)+A+1
1	1	1	1	A	A-1	A

Все выше описанные обозначения входов сохраняют свое назначение и для этой схемы.

При M=1 на входе выбора режима все внутренние переносы блокируются и на линиях логических элементов выполняются логические операции.

При M=0 переносы разрешены, выполняются арифметические команды. При этом формируются сигнал генерации переноса из четырех разрядов CRG, а также сигналы распространения переноса P и сигнал генерации переноса G для подключения схем ускоренного переноса.

Такие схемы используются при наращивании разрядности для организации параллельного переноса между группами разрядов нескольких ИМС АЛУ. Это так называемый **групповой перенос**. Такую функцию

Вопросы для самоконтроля

1. Какие функции выполняет АЛУ?
2. Каково назначение входов и выходов схемы АЛУ?
3. Как изображается схема АЛУ на условном графическом обозначении?
4. Поясните достоинства и недостатки последовательного, группового и параллельного переноса.
5. Возможно ли организовать параллельный перенос между всеми разрядами восьмиразрядного АЛУ на основе КР1533ИПЗ? Почему?
6. Как в соответствии с классификацией обозначаются микросхемы АЛУ?
7. Каким образом в АЛУ выполняется операция вычитания в дополнительных кодах?
8. Каким образом в АЛУ выполняется операция вычитания в обратных кодах?
9. Разработайте схему восьмиразрядного АЛУ на основе ИМС КР1533ИПЗ с групповым переносом.
10. Разработайте схему восьмиразрядного АЛУ на основе ИМС КР1533ИПЗ с последовательным переносом.
11. Разработайте схему восьмиразрядного компаратора АЛУ на основе ИМС КР1533ИПЗ.

Приложение 1

АНАЛИЗ ОСНОВНЫХ ТИПОВ ДЕШИФРАТОРОВ

Цель

1. Углубить и закрепить теоретические знания по принципам построения и алгоритмам функционирования дешифраторов;
2. Приобрести практические навыки экспериментального исследования цифровых схем;
3. Совершенствовать навыки анализа, обобщения и систематизации полученных результатов, составления и оформления отчетных материалов, точного и лаконичного представления докладов на вопросы технического характера.

Учебные вопросы:

- 1.1. Исследование работы дешифратора 2×4 на основе логических элементов;
- 1.2. Исследование микросхемы дешифратора 3×8 ;
- 1.3. Построение дешифратора 4×12 на основе микросхем 3×8 ;
- 1.4. Построение дешифратора, обеспечивающего выбор устройств по заданному адресу;
- 1.5. Построение демультиплексора 1×8 на основе микросхемы дешифратора 3×8 ;
- 1.6. Построение дешифратора для семисегментного индикатора;
- 1.7. Подготовка технических данных для заданной микросхемы дешифратора.

Литература для подготовки к занятию

1. Угрюмов Е.П. Цифровая Схемотехника: Учебное пособие для вузов. – СПб.: БХВ-Петербург, 2010. – 816с.
2. Бойко В.И. и др. Схемотехника электронных систем. Цифровые устройства.- СПб.: БХВ-Петербург, 2004.-512с.
3. Потемкин И.С. Функциональные узлы цифровой автоматики. - М.: Энергоатомиздат, 1988.-320с.
4. Нефедов А. В. Интегральные микросхемы и их зарубежные аналоги. Справочник. Т. 1-2.— М.: ИП РадиоСофт, 2000.
5. [www://vpri.ru/index/mikroskhemy/](http://vpri.ru/index/mikroskhemy/)

Содержание отчета

1. Название работы.
2. По каждому из заданий должны быть представлены название задания и те конкретные данные, которые указаны в задании.

3. Краткие ответы на те контрольные вопросы для самопроверки, которые ещё не нашли своего отражения в отчете, но вызывают затруднения для понимания.

Актуальность занятия

Дешифраторы являются основными устройствами, осуществляющими выбор активных устройств по сформированному адресу и устройствами распознавания кодов. Они применяются во всех цифровых устройствах телекоммуникационных систем, широко представлены в интегральных сериях.

Вопросы для подготовки к занятию

1. Сформулируйте этапы синтеза комбинационных схем.
2. Определите назначение дешифратора.
3. Какова роль входа разрешения в дешифраторе?
4. Сформулируйте технологию перевода чисел в двоичную и шестнадцатеричную системы счисления.
5. Каково назначение адресных входов дешифратора?

Задание 1.1. Исследование дешифратора 2х4 из логических элементов

Для выполнения задания необходимо синтезировать схему полного дешифратора с прямыми выходами без сигнала разрешения из логических элементов и проверить его работу на всех наборах входных переменных. Этапы синтеза были проиллюстрированы в этом разделе.

В отчете представить:

- УГО и функциональную схему полученного дешифратора;
- таблицу истинности дешифратора 2х4;
- аналитические выражения для всех выходов дешифратора;
- вывод о работоспособности дешифратора. В случае если дешифратор работает неправильно, следует проверить правильность этапов синтеза и повторить проверку работоспособности устройства.

Задание 1.2. Исследование микросхемы дешифратора К555ИД7

Провести исследование поведения дешифратора, имеющегося в библиотеке системы моделирования, выяснив назначение каждого входа микросхемы. Вариант схемы может быть уточнен по указанию преподавателя.

Для выполнения работы следует:

- сформулировать назначение типовых входов дешифратора;

- по УГО исследуемого дешифратора сформировать гипотезы о назначении его входов;
- обеспечив на модели управление и наблюдение за всеми выводами устройства, провести проверку сформированных гипотез;
- сформулировать действительное назначение входов дешифратора и логику работы входов. Если гипотеза не подтвердилась, необходимо сгенерировать новую гипотезу и вновь повторить проверку.

В отчете представить:

- УГО исследуемого дешифратора;
- назначение каждого из входов дешифратора. Допускается входы объединять в группы, если они имеют аналогичное назначение, но с указанием имеющихся между ними отличий.

Задание 1.3. Построение дешифратора 4x12 на основе микросхем дешифратора 3x8

Задание предполагает наращивание дешифратора. Для этой цели используются входы разрешения микросхемы. Технология решения задачи проиллюстрирована в теоретической части этой работы. В качестве элементной базы при отсутствии уточнений преподавателя выбрать дешифратор К555ИД7. Построенный дешифратор должен иметь разрешающий вход, инверсные выходы.

В отчете представить:

- УГО создаваемого дешифратора;
- функциональную схему дешифратора с обозначением новых входов в соответствии с УГО.

Задание 1.4. Построение дешифратора, обеспечивающего выбор устройств по заданному адресу

Данное задание является типовым для создания цифровых устройств обработки данных с программным управлением. Задача проектирования предполагает создание аппаратной и программной составляющих проекта. При этом одним из этапов является распределение адресного пространства проектируемого устройства. Независимо от используемого отдельного или совмещенного адресного пространства решение будет сформировано в виде конкретных адресов, по которым должно активизироваться конкретное устройство в системе. Адреса записываются в шестнадцатеричной системе счисления. Например, 0A82Eh, 123h, 0000h.

Решение может быть реализовано на дискретных логических элементах или с использованием микросхем дешифраторов. Выбор элементной базы осуществляется обучаемым самостоятельно с использованием критерия

минимальности числа микросхем, используемых для построения дешифратора. Варианты заданий представлены в таблице.

№ по журналу учебной группы	Адреса
1	90h-93h
2	70h-73h
3	30h-33h
4	0B0h-0B3h
5	0D0h-0D3h
6	0A8h-0ABh
7	0C0h-0C3h
8	54h-57h
9	0B4h-0B7h
10	0E0h-0E3h

№ по журналу учебной группы	Адреса
11	0F0h-0F3h
12	88h-8Bh
13	4Ch-4Fh
14	0ACh-0AFh
15	0D8h-0DBh
16	74h-77h
17	0A0h-0A3h
18	0ECh-0EFh
19	98h-9Bh
20	0F4h-0F7h

В таблице представлены варианты для использования нескольких последовательных адресов. Это обычная ситуация при проектировании цифровой техники: так проще реализовывать дешифратор аппаратно и практически всегда безразлично для использования адресов при программировании. Кроме того, во многих программируемых микросхемах используется два адресных входа для задания адресов четырех встроенных портов (0-3), которые используются для задания режимов работы микросхемы. В последнем случае младшие адресные сигналы подаются непосредственно на адресные выходы программируемой микросхемы, а старшие адресные сигналы активируют вход CS микросхемы (рис.1.12).

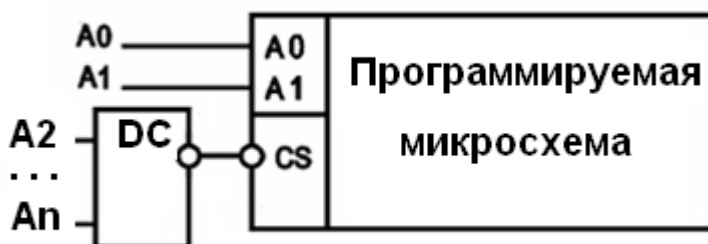


Рис.1.12. Адресация программируемой микросхемы

Именно поэтому поле из четырех адресов удобно начинать с нулевого адреса.

Пример решения подобной задачи.

Допустим диапазон заданных адресов: 0A4h – 0A7h. Представим адреса в двоичном формате:

0A4h	1010.0100
0A5h	1010.0101

0A6h 1010.0110

0A7h 1010.0111

Легко видеть, что два младших разряда образуют полный перебор комбинаций из двух переменных, а остальные разряды в адресных комбинациях одинаковы. Поэтому выбор четырех адресов может осуществляться дешифратором 2х4, а остальные адресные разряды должны обеспечить активацию этого дешифратора. Именно так выполняется адресация программируемых микросхем (см. рис.1.12).

Для активации дешифратора необходимо реализовать конъюнкцию, образованную старшими адресными проводниками:

$$CS = A7 \cdot \overline{A6} \cdot A5 \cdot \overline{A4} \cdot \overline{A3} \cdot A2$$

Математически в ее реализации ничего сложного нет, однако, на практике бывает невозможно найти логические элементы с таким числом входов. Поэтому функцию следует преобразовать для уменьшения числа входов требуемых логических элементов по правилу де-Моргана:

$$CS = A7 \cdot \overline{A6} \cdot A5 \cdot \overline{A4} \cdot \overline{A3} \cdot A2 = A7 \cdot \overline{A6} \cdot A5 \cdot \overline{A4} \cdot \overline{A3} \cdot A2 = A7 \cdot \overline{A6} \cdot A5 \vee \overline{A4} \cdot \overline{A3} \cdot A2$$

Такую функцию уже можно реализовать на так называемых сложных логических элементах с функцией И-ИЛИ-НЕ. Такие элементы доступны во многих интегральных сериях. С учетом полученной функции и существующих типов элементов схема представлена на рис.1.13.

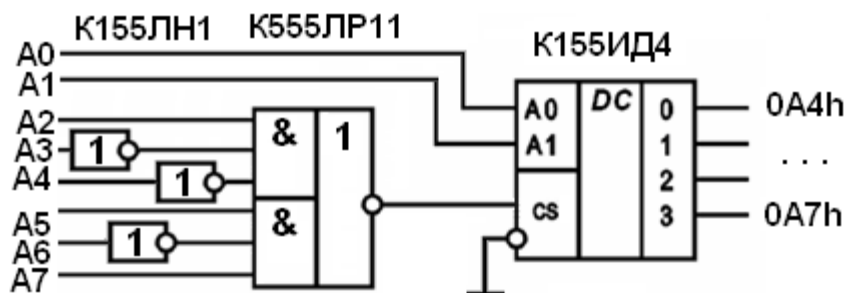


Рис.1.13. Дешифратор для адресов 0A4h – 0A7h

Такое решение не является единственным. Возможен вариант построения с использованием только дешифраторов, осуществляющих обработку отдельных групп адресных входов. Однако такой подход эффективен для выборки большого количества адресов различных устройств.

В отчете представить:

- УГО создаваемого дешифратора;
- двоичные коды выбираемых адресов;
- аналитические выражения для построения;

- перечень используемых микросхем;
- функциональную схему дешифратора с учетом используемой элементной базы.

Задание 1.5. Построение демультиплексора 1х8 на основе микросхемы дешифратора 3х8

Задание предполагает включение имеющегося дешифратора 3х8 таким образом, чтобы он выполнял функцию демультиплексора. Для этой цели используются имеющиеся входы дешифратора, но они должны получить новое функциональное назначение. Подход к решению этой задачи был представлен в теоретической части этой работы. В качестве элементной базы при отсутствии уточнений преподавателя выбрать дешифратор К555ИД7.

В отчете представить:

- УГО создаваемого демультиплексора;
- обозначения входов дешифратора, соответствующие новому смысловому назначению. Входы обозначить на построенном УГО демультиплексора.

Задание 1.6. Построение дешифратора для семисегментного индикатора

Дешифратор для семисегментного индикатора, УГО которого представлено на рис.1.10 синтезируется по общим правилам построения комбинационных схем. Каждый выход дешифратора управляет своим

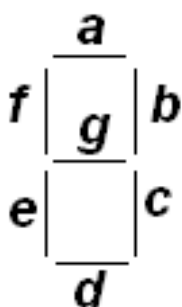


Рис.1.14. Обозначение сегментов индикатора

сегментом индикатора. Совокупность сегментов индикатора образует рисунок соответствующей цифры. Таким образом, одновременно в таком специальном дешифраторе на выходе присутствует несколько активных сигналов. Каждый выход дешифратора соединен со своим сегментом. Обозначение сегментов индикатора представлено на рис.1.14. Выбор варианта осуществляется по номеру в журнале учебной группы. В целях сокращения времени работы синтезируется только часть дешифратора для двух символов из всех возможных для шестнадцатеричной системы счисления. Предполагается, что при подаче на вход дешифратора остальных кодов будет отображаться только нижний сегмент "d". Последовательность синтеза схемы определяется порядком записи этапов оформления отчета. Схему необходимо протестировать на всех возможных наборах. При необходимости - исправить ошибки.

В отчете представить:

- УГО дешифратора с подключенными сегментами индикатора. При отсутствии индикатора в библиотеке моделирующей программы сегменты смоделировать из последовательно включенных одиночных индикаторов. В программе Вариант это сделать удобно из индикаторов квадратной формы, имеющих электрические связи со всех четырех сторон. Поэтому их размещение рядом друг с другом не требует дополнительных манипуляций для соединения;

- таблицу истинности дешифратора для заданного варианта. В таблице должна присутствовать информация о состоянии всех сегментов;

- аналитические выражения для управления сегментами;

- карты Карно при необходимости минимизации выражений и результаты минимизации;

- функциональную схему дешифратора.

Варианты заданий представлены в таблице:

№ по журналу учебной группы	Отображаемые символы
1	1, F
2	2, A
3	3, C
4	4, 7
5	5, 2
6	6, 3
7	7, E
8	8, 2
9	9, B
10	1, D

№ по журналу учебной группы	Отображаемые символы
11	2, 7
12	3, A
13	4, 3
14	5, C
15	1, 6
16	7, B
17	8, 1
18	6, 4
19	A, 2
20	4, 5

Задание 1.7. Подготовка технических данные для заданной микросхемы дешифратора

Вариант задания выбирается по номеру в журнале учебной группы. Задание предполагает использование средств Интернета, справочной и учебной литературы. Цель задания – приобретение навыков работы с технической документацией, целенаправленного поиска, извлечения, систематизации и обобщения технической информации. По возможности выявленные данные следует привести к табличному формату.

Варианты заданий представлены в таблице:

№ по журналу учебной группы	Тип ИМС
1	KP1533ИД3
2	K155ИД13

№ по журналу учебной группы	Тип ИМС
11	K564ИД1
12	K155ИД12

3	КМ555ИД6
4	К155ИД11
5	КР1533ИД4
6	564ИД5
7	КР1554ИД14
8	КМ555ИД18
9	К155ИД10
10	КР1533ИД14

13	КМ555ИД10
14	К155ИД8
15	К564ИД4
16	КР1533ИД7
17	К155ИД4
18	К155ИД3
19	К155ИД15
20	КМ555ИД4

В отчете представить:

- тип технологии изготовления микросхемы;
- УГО заданного дешифратора, обозначение типа микросхемы;
- функциональную схему дешифратора;
- цоколевку микросхемы;
- таблицу режимов работы;
- назначение выводов дешифратора и краткое описание работы;
- зарубежный аналог микросхемы;
- статические параметры микросхемы (с обозначением параметра и единицы измерения): напряжение входное и выходное единицы и нуля, входной и выходной ток единицы и нуля, напряжение питания, потребляемая мощность, коэффициент разветвления;
- динамические параметры микросхемы (с обозначением параметра и единицы измерения): время задержки распространения сигнала.

Вопросы для самоконтроля

1. Нарисуйте таблицы истинности дешифратора 2х4 с прямыми и инверсными выходами.
2. Какова реакция ИМС дешифратора на различные сигналы входа Е?
3. Каковы особенности ИМС дешифраторов в интегральных сериях?
4. Для чего в схемах дешифраторов создают несколько входов разрешения с разными активными сигналами?
5. Сравните по всем известным вам параметрам прямоугольный и линейный дешифратор.
6. Какие электрические параметры характеризуют работу дешифратора?
7. Что понимается под "цоколевкой" микросхемы?
8. Из каких функциональных устройств образуется структура дешифратора для семисегментного индикатора?
9. Какая структура дешифратора обеспечивает максимальное быстродействие?

10. Какие сигналы должны быть на входах дешифратора К155ИД7 при выбранном выходе №6?

Приложение 2

АНАЛИЗ ОСНОВНЫХ ТИПОВ МУЛЬТИПЛЕКСОРОВ

Цель

1. Выработать практические умения синтеза и применения мультимплексоров.
2. Совершенствовать практические умения и навыки работы с цифровой техникой, ЭВМ и системами моделирования.
3. Совершенствовать навыки анализа, обобщения и систематизации полученных результатов, навыки составления и оформления отчетных материалов, навыки точного и лаконичного представления докладов по вопросам технического характера.

Учебные вопросы

- 2.1. Построение мультимплексора 4х1 из логических элементов;
- 2.2. Исследование микросхемы мультимплексора 8х1;
- 2.3. Построение мультимплексора 12х1 с использованием микросхемы дешифратора 8х1;
- 2.4. Подготовка технических данных для заданной микросхемы мультимплексора.

Литература для подготовки к занятию

1. Угрюмов Е.П. Цифровая Схемотехника: Учебное пособие для вузов. – СПб.: БХВ-Петербург, 2010. – 816с.
2. Бойко В.И. и др. Схемотехника электронных систем. Цифровые устройства.- СПб.: БХВ-Петербург, 2004.-512с.
3. Потемкин И.С. Функциональные узлы цифровой автоматики. - М.: Энергоатомиздат, 1988.-320с.
4. Нефедов А. В. Интегральные микросхемы и их зарубежные аналоги. Справочник. Т. 1-2.— М.: ИП РадиоСофт, 2000.
5. [www://vpri.ru/index/mikroskhemy/](http://vpri.ru/index/mikroskhemy/)

Содержание отчета

1. Название работы.
2. По каждому из заданий должны быть представлены название задания и те конкретные данные, которые указаны в задании.
3. Краткие ответы на те контрольные вопросы для самопроверки, которые ещё не нашли своего отражения в отчете, но вызывают затруднения для понимания.

Актуальность занятия

Мультимплексоры являются основным элементом коммутации цифровых каналов передачи данных. Это один из базовых элементов телекоммуникационных систем.

Вопросы для подготовки к занятию

1. Сформулируйте этапы синтеза комбинационных схем.
2. Определите назначение мультиплексора.
3. Какова роль входа разрешения в мультиплексоре?
4. Сформулируйте технологию перевода чисел в двоичную и шестнадцатеричную системы счисления.
5. Каково назначение адресных входов мультиплексора?
6. Как синтезировать комбинационную схему на базе мультиплексора? Какие при этом существуют ограничения?

Задание 2.1. Построение мультиплексора 4x1 из логических элементов

Схема строится по общим правилам синтеза комбинационных схем и проверяется на всех допустимых режимах работы. Вход разрешения должен быть инверсным. Элементная база для синтеза выбирается самостоятельно.

В отчете представить:

- УГО создаваемого мультиплексора;
- таблицу коммутируемых входов мультиплексора;
- аналитическое выражение для выхода мультиплексора;
- функциональную схему мультиплексора.

Задание 2.2. Исследование микросхемы мультиплексора К155КП7

Схема выбирается из библиотеки и проводится тестирование с целью выявления принципов функционирования и назначения входов мультиплексора. Вариант схемы может быть уточнен по указанию преподавателя.

Для выполнения работы следует:

- сформулировать назначение типовых входов мультиплексора;
- по УГО исследуемого мультиплексора сформировать гипотезы о назначении его входов;
- обеспечив на модели управление и наблюдение за всеми выводами устройства, провести проверку сформированных гипотез;
- сформулировать выявленное назначение входов мультиплексора и логику работы входов. Если гипотеза не подтвердилась, необходимо сгенерировать новую гипотезу и вновь повторить проверку.

В отчете представить:

- УГО исследуемого мультиплексора;

- назначение каждого из входов мультиплексора. Допускается входы объединять в группы, если они имеют аналогичное назначение, но с указанием имеющихся между ними отличий.

Задание 2.3. Построение мультиплексора 12х1 с использованием микросхемы мультиплексора 8х1.

Осуществить синтез схемы на основе схемы мультиплексора из библиотеки элементов со структурой 8х1. Вход разрешения должен быть инверсным.

Необходимо создать двухступенчатую структуру коммутации каналов, управляемую адресными входами создаваемого мультиплексора. Свободные входы исходных мультиплексоров должны получить необходимые константы. Методология построения схемы приведена в теоретической части раздела. Построенную схему следует протестировать на всех возможных входных наборах.

В отчете представить:

- УГО создаваемого мультиплексора;
- функциональную схему мультиплексора 12х1.

Задание 2.4. Подготовка технических данные для заданной микросхемы мультиплексора

Вариант задания выбирается по номеру в журнале учебной группы. Задание предполагает использование средств Интернета, справочной и учебной литературы. Цель задания – приобретение навыков работы с технической документацией, целенаправленного поиска, извлечения, систематизации и обобщения технической информации. По возможности выявленные данные следует привести к табличному формату.

Варианты заданий представлены в таблице:

№ по журналу учебной группы	Тип ИМС
1	K555КП7
2	K155КП2
3	K531КП2
4	KP1533КП12
5	K155КП1
6	K561КП1
7	K555КП11
8	KP1533КП13
9	K555КП13

№ по журналу учебной группы	Тип ИМС
11	K555КП14
12	KP1533КП18
13	K555КП12
14	KP1554КП12
15	K155КП5
16	K561КП2
17	KP1554КП16
18	KP1533КП17
19	K555КП15

10	K531КП15
----	----------

20	KP1533КП19
----	------------

В отчете представить:

- тип технологии изготовления микросхемы;
- УГО заданного мультиплексора, обозначение типа микросхемы;
- функциональную схему мультиплексора;
- цоколевку мультиплексора;
- таблицу режимов работы;
- назначение выводов мультиплексора и краткое описание работы;
- зарубежный аналог микросхемы;
- статические параметры микросхемы (с обозначением параметра и единицы измерения): напряжение входное и выходное единицы и нуля, входной и выходной ток единицы и нуля, напряжение питания, потребляемая мощность, коэффициент разветвления;
- динамические параметры микросхемы (с обозначением параметра и единицы измерения): время задержки распространения сигнала.

Задания для самопроверки

1. Сформулируйте назначение мультиплексора.
2. Каковы сигналы на выходе мультиплексора при неактивном входе Е?
3. Как осуществляется наращивание мультиплексоров?
4. Почему мультиплексор называют коммутатором, селектором?
5. Нарисуйте УГО мультиплексора на два входа с инверсным входом разрешения и парафазным выходом.
6. Что такое Z-состояние выхода мультиплексора?
7. Как образуется выход мультиплексора с открытым коллектором?
8. Для каких целей применяются выходы с открытым коллектором?
9. Какие технические параметры характеризуют работу мультиплексора?
10. Синтезируйте неполный сумматор на два входа из мультиплексоров.
11. Какие отличия есть в мультиплексоре и селекторе?

Приложение 3

АНАЛИЗ СХЕМ СУММАТОРОВ И КОМПАРАТОРОВ

Цель

1. Выработать практические умения синтеза и применения сумматоров;
2. Совершенствовать практические умения и навыки работы с цифровой техникой, ЭВМ и системами моделирования;
3. Совершенствовать навыки анализа, обобщения и систематизации полученных результатов, составления и оформления отчетных материалов, точного и лаконичного представления докладов по вопросам технического характера.

Учебные вопросы

- 3.1. Построение схемы полного 1-разрядного сумматора;
- 3.2. Построение 1-разрядного сумматора на основе мультиплексора;
- 3.3. Исследование микросхемы многоразрядного сумматора на ИМС;
- 3.4. Исследование многоразрядного компаратора.

Литература для подготовки к занятию

1. Угрюмов Е.П. Цифровая Схемотехника: Учебное пособие для вузов. – СПб.: БХВ-Петербург, 2010. – 816с.
2. Бойко В.И. и др. Схемотехника электронных систем. Цифровые устройства.- СПб.: БХВ-Петербург, 2004.-512с.
3. Потемкин И.С. Функциональные узлы цифровой автоматики. - М.: Энергоатомиздат, 1988.-320с.
4. Нефедов А. В. Интегральные микросхемы и их зарубежные аналоги. Справочник. Т. 1-12.— М.: ИП РадиоСофт, 2000.
5. [www://vpri.ru/index/mikroskhemy/](http://vpri.ru/index/mikroskhemy/)

Содержание отчета

1. Название работы.
2. По каждому из заданий должны быть представлены название задания и те конкретные данные, которые указаны в задании.
3. Краткие ответы на те контрольные вопросы для самопроверки, которые ещё не нашли своего отражения в отчете, но вызывают затруднения для понимания.

Актуальность занятия

Сумматоры и компараторы являются основными элементами арифметико-логических устройств всех вычислителей. На их основе реализуются основные арифметические операции с использованием обратных или дополнительных кодов, схемы сравнения многоразрядных кодов, а также устройства контроля ошибок вычислений.

Вопросы для подготовки к занятию

1. Сформулируйте этапы синтеза комбинационных схем.
2. Определите назначение сумматора.
3. Какова роль входа переноса в сумматоре?
4. Какова роль выхода переноса в сумматоре?
5. Сформулируйте технологию перевода чисел в обратный и дополнительный коды.
6. В чем отличие сумматоров с последовательным и параллельным переносом?
7. Как синтезировать комбинационную схему на базе мультиплексора? Какие при этом существуют ограничения?
8. Определите назначение компаратора.

Задание 3.1. Построение схемы 1-разрядного полного сумматора

Построение схемы сумматора необходимо осуществить по общим правилам синтеза комбинационных устройств. Выполнить тестирование сумматора на всех возможных наборах.

В отчете представить:

- УГО создаваемого сумматора;
- таблицу истинности сумматора;
- карту Карно для минимизации функций выходов;
- аналитические выражения для выходов сумматора;
- функциональную схему сумматора.

Задание 3.2. Построение 1-разрядного сумматора на основе мультиплексора

Синтез сумматора необходимо выполнить на основе мультиплексора, имеющегося в библиотеке элементов. Адресные входы мультиплексора должны стать входами создаваемого сумматора. При этом конкретный вход данных будет выбираться комбинацией входных сигналов, подаваемых на адресные входы мультиплексора. На входы данных мультиплексора подаются константы, соответствующие значениям функции при этой комбинации. Следует обратить внимание на все адресные входы мультиплексора, в том числе неиспользуемые, и принять решение о константах, которые на них необходимо подать. Проверить работу схемы на всех возможных комбинациях слагаемых.

В отчете представить:

- УГО создаваемого сумматора;
- УГО мультиплексора с обозначением тех входов, которые приобрели новое смысловое значение при реализации сумматора.

Задание 3.3. Исследование микросхемы многоразрядного сумматора на ИМС

Сумматор следует выбрать из состава библиотеки элементов, выяснить назначение входов и выходов микросхемы. Выполнить на сумматоре операции в соответствии с вариантом. Номер варианта выбирается по номеру в журнале учебной группы. Для визуального контроля слагаемых и суммы необходимо использовать семисегментный индикатор из библиотеки моделирующей программы.

Номер по журналу учебной группы	Сложение	Вычитание
1, 15	15+7	27-13
2, 17	17+8	25-14
3, 16	18+9	22-15
4, 13	19+10	20-11
5, 11	14+11	26-17

Номер по журналу учебной группы	Сложение	Вычитание
6, 20	13+12	24-6
7, 19	12+14	23-12
8, 12	11+20	28-16
9, 14	10+15	29-21
10, 18	9+17	21-7

В отчете представить:

- УГО сумматора;
- вывод о необходимом количестве разрядов сумматора. В случае необходимости нарастить разрядность сумматора;
- вывод о назначении входов сумматора;
- записи выполняемых операций в двоичном коде.

Задание 3.4. Исследование многоразрядного компаратора

Синтезировать схему 4-разрядного компаратора. Компаратор должен выдавать сигнал при равенстве операндов. В основу схемы можно положить одноразрядные схемы сравнения на основе элементов сложения по модулю два. Выполнить проверку схемы на функционирование.

В отчете представить:

- УГО компаратора;
- схему функциональную компаратора;
- вывод о назначении выводов компаратора;
- методику тестирования компаратора.

Задания для самопроверки

1. Сколько входов и выходов имеет полный одноразрядный сумматор?
2. Каково назначение входов полного одноразрядного сумматора?
3. Какие типы сумматоров используются в вычислительной технике?
4. В каком формате хранятся числа положительные и отрицательные?
5. Сформулируйте правила выполнения сложения и вычитания чисел?
6. Чем отличаются сумматоры для работы с дополнительными кодами и обратными кодами?
7. Какие сумматоры (см. п.6) используются в современной вычислительной технике? Почему?

Приложение 4

ИЗУЧЕНИЕ ЛОГИЧЕСКИХ ПРЕОБРАЗОВАТЕЛЕЙ

Цель

1. Выработать практические умения синтеза и применения логических преобразователей;
2. Совершенствовать практические умения и навыки работы с цифровой техникой, ЭВМ и системами моделирования;
3. Совершенствовать навыки анализа, обобщения и систематизации полученных результатов, составления и оформления отчетных материалов, точного и лаконичного представления докладов по вопросам технического характера.

Учебные вопросы

- 4.1. Исследование дешифратора 2х4 из логических элементов;
- 4.2. Исследование микросхемы дешифратора К555ИД7;
- 4.3. Исследование микросхемы многоразрядного сумматора на ИМС;
- 4.4. Исследование многоразрядного компаратора.

Литература для подготовки к занятию

1. Угрюмов Е.П. Цифровая Схемотехника: Учебное пособие для вузов. – СПб.: БХВ-Петербург, 2010. – 816с.
2. Бойко В.И. и др. Схемотехника электронных систем. Цифровые устройства.- СПб.: БХВ-Петербург, 2004.-512с.
3. Потемкин И.С. Функциональные узлы цифровой автоматики. - М.: Энергоатомиздат, 1988.-320с.
4. Нефедов А. В. Интегральные микросхемы и их зарубежные аналоги. Справочник. Т. 1-12.— М.: ИП РадиоСофт, 2000.
5. [www://vpri.ru/index/mikroskhemy/](http://vpri.ru/index/mikroskhemy/)

Содержание отчета

1. Название работы.
2. По каждому из заданий должны быть представлены название задания и те конкретные данные, которые указаны в задании.
3. Краткие ответы на те контрольные вопросы для самопроверки, которые ещё не нашли своего отражения в отчете, но вызывают затруднения для понимания.

Актуальность занятия

Сумматоры, дешифраторы и компараторы являются основными элементами арифметико-логических устройств всех вычислителей. На их основе реализуются основные арифметические операции с использованием обратных или дополнительных кодов, схемы сравнения многоразрядных кодов, а также устройства контроля ошибок вычислений.

Вопросы для подготовки к занятию

1. Сформулируйте этапы синтеза комбинационных схем.
2. Определите назначение сумматора.
3. Какова роль входа переноса в сумматоре?
4. Какова роль выхода переноса в сумматоре?
5. Сформулируйте технологию перевода чисел в обратный и дополнительный коды.
6. Определите назначение дешифратора.
7. Определите назначение мультиплексора.
8. Как синтезировать комбинационную схему на базе мультиплексора? Какие при этом существуют ограничения?
9. Как синтезировать комбинационную схему на базе дешифратора?
10. Определите назначение компаратора.

Задание 4.1. Исследование дешифратора 2х4 из логических элементов

Для выполнения задания необходимо синтезировать схему полного дешифратора с прямыми выходами без сигнала разрешения из логических элементов и проверить его работу на всех наборах входных переменных. Этапы синтеза были проиллюстрированы в этом разделе.

В отчете представить:

- УГО и функциональную схему полученного дешифратора;
- таблицу истинности дешифратора 2х4;
- аналитические выражения для всех выходов дешифратора;
- вывод о работоспособности дешифратора. В случае если дешифратор работает неправильно, следует проверить правильность этапов синтеза и повторить проверку работоспособности устройства.

Задание 4.2. Исследование микросхемы дешифратора К555ИД7

Провести исследование поведения дешифратора, имеющегося в библиотеке системы моделирования, выяснив назначение каждого входа микросхемы. Вариант схемы может быть уточнен по указанию преподавателя.

Для выполнения работы следует:

- сформулировать назначение типовых входов дешифратора;
- по УГО исследуемого дешифратора сформировать гипотезы о назначении его входов;
- обеспечив на модели управление и наблюдение за всеми выводами устройства, провести проверку сформированных гипотез;

- сформулировать действительное назначение входов дешифратора и логику работы входов. Если гипотеза не подтвердилась, необходимо сгенерировать новую гипотезу и вновь повторить проверку.

В отчете представить:

- УГО исследуемого дешифратора;
- назначение каждого из входов дешифратора. Допускается входы объединять в группы, если они имеют аналогичное назначение, но с указанием имеющихся между ними отличий.

Задание 4.3. Построение мультиплексора 4х1 из логических элементов

Схема строится по общим правилам синтеза комбинационных схем и проверяется на всех допустимых режимах работы. Вход разрешения должен быть инверсным. Элементная база для синтеза выбирается самостоятельно.

В отчете представить:

- УГО создаваемого мультиплексора;
- таблицу коммутируемых входов мультиплексора;
- аналитическое выражение для выхода мультиплексора;
- функциональную схему мультиплексора.

Задание 4.4. Исследование микросхемы мультиплексора К155КП7

Схема выбирается из библиотеки и проводится тестирование с целью выявления принципов функционирования и назначения входов мультиплексора. Вариант схемы может быть уточнен по указанию преподавателя.

Для выполнения работы следует:

- сформулировать назначение типовых входов мультиплексора;
- по УГО исследуемого мультиплексора сформировать гипотезы о назначении его входов;
- обеспечив на модели управление и наблюдение за всеми выводами устройства, провести проверку сформированных гипотез;
- сформулировать выявленное назначение входов мультиплексора и логику работы входов. Если гипотеза не подтвердилась, необходимо сгенерировать новую гипотезу и вновь повторить проверку.

В отчете представить:

- УГО исследуемого мультиплексора;
- назначение каждого из входов мультиплексора. Допускается входы объединять в группы, если они имеют аналогичное назначение, но с указанием имеющихся между ними отличий.

Задание 4.5. Исследование микросхемы многоразрядного сумматора на ИМС

Сумматор следует выбрать из состава библиотеки элементов, выяснить назначение входов и выходов микросхемы. Выполнить на сумматоре операции в соответствии с вариантом, заданным таблицей. Номер варианта выбирается по номеру в журнале учебной группы. Для визуального контроля слагаемых и суммы необходимо использовать семисегментный индикатор из библиотеки моделирующей программы.

Номер по журналу учебной группы	Сложение	Вычитание
1, 15	15+7	27-13
2, 17	17+8	25-14
3, 16	18+9	22-15
4, 13	19+10	20-11
5, 11	14+11	26-17

Номер по журналу учебной группы	Сложение	Вычитание
6, 20	13+12	24-6
7, 19	12+14	23-12
8, 12	11+20	28-16
9, 14	10+15	29-21
10, 18	9+17	21-7

В отчете представить:

- УГО сумматора;
- вывод о необходимом количестве разрядов сумматора. В случае необходимости нарастить разрядность сумматора;
- вывод о назначении входов сумматора;
- записи выполняемых операций в двоичном коде.

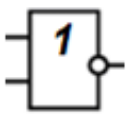
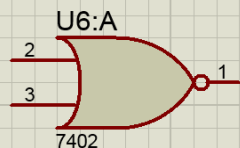
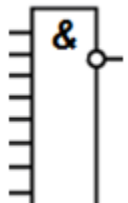
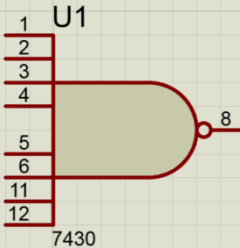
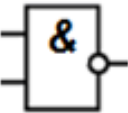
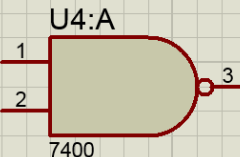
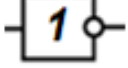

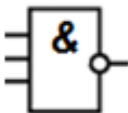
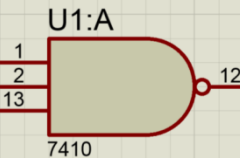
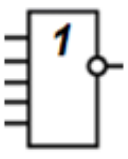
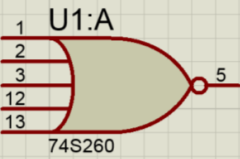
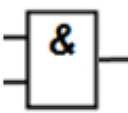
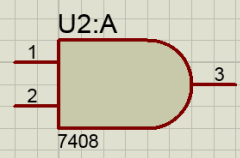
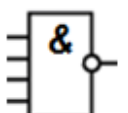
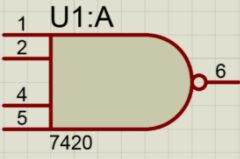
Задания для самопроверки

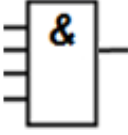
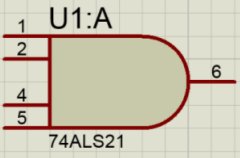
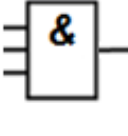
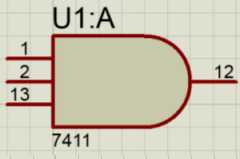
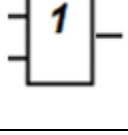
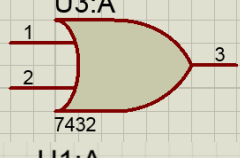
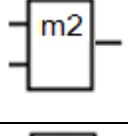
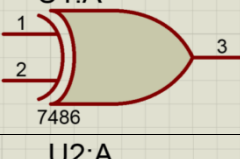
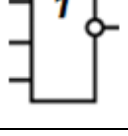
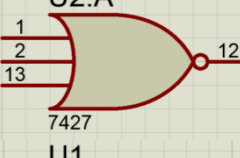
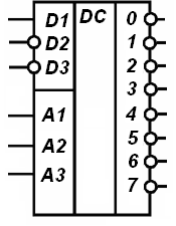
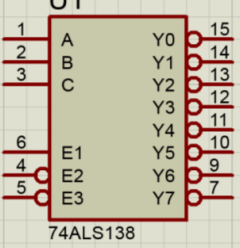
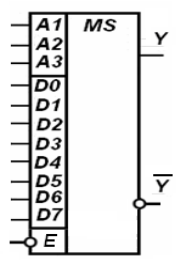
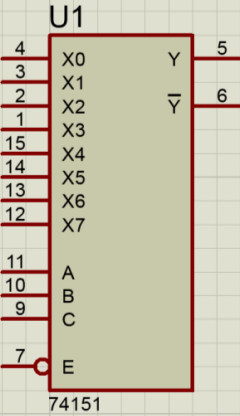
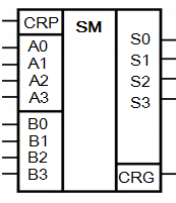
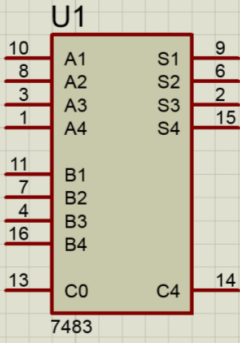
1. Сколько входов и выходов имеет полный одноразрядный сумматор?
2. Каково назначение входов полного одноразрядного сумматора?
3. Какие типы сумматоров используются в вычислительной технике?
4. В каком формате хранятся числа положительные и отрицательные?
5. Сформулируйте правила выполнения сложения и вычитания чисел?
6. Чем отличаются сумматоры для работы с дополнительными кодами и обратными кодами?
7. Какие сумматоры используются в современной вычислительной технике? Почему?
8. Нарисуйте таблицы истинности дешифратора 2x4 с прямыми и инверсными выходами.
9. Какова реакция ИМС дешифратора на различные сигналы входа Е?
10. Каковы особенности ИМС дешифраторов в интегральных сериях?

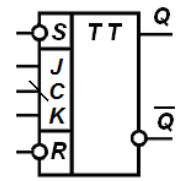
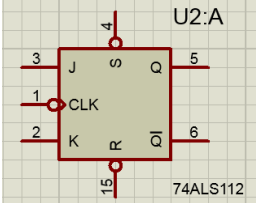
11. Для чего в схемах дешифраторов создают несколько входов разрешения с разными активными сигналами?
12. Сравните по всем известным вам параметрам прямоугольный и линейный дешифратор.
13. Какие электрические параметры характеризуют работу дешифратора?
14. Что понимается под "цоколевкой" микросхемы?
15. Из каких функциональных устройств образуется структура дешифратора для семигегментного индикатора?
16. Какая структура дешифратора обеспечивает максимальное быстродействие?
17. Какие сигналы должны быть на входах дешифратора K155ИД7 при выбранном выходе №6?
18. Сформулируйте назначение мультиплексора.
19. Каковы сигналы на выходе мультиплексора при неактивном входе Е?
20. Как осуществляется наращивание мультиплексоров?
21. Почему мультиплексор называют коммутатором, селектором?
22. Нарисуйте УГО мультиплексора на два входа с инверсным входом разрешения и парафазным выходом.
23. Что такое Z-состояние выхода мультиплексора?
24. Как образуется выход мультиплексора с открытым коллектором?
25. Для каких целей применяются выходы с открытым коллектором?
26. Какие технические параметры характеризуют работу мультиплексора?
27. Синтезируйте неполный сумматор на два входа из мультиплексоров.
28. Какие отличия есть в мультиплексоре и селекторе?

Приложение 5

ПЕРЕЧЕНЬ ОСНОВНЫХ ЭЛЕМЕНТОВ МОДЕЛИРУЮЩИХ ПРОГРАММ

Моделирующая программа ВАРИАНТ				Proteus	
Вызывающая клавиша	Тип ИМС	Обозначение функции	УГО отечественной ИМС	Зарубежный аналог	УГО зарубежного аналога
Г	155ЛЕ1	2ИЛИ-НЕ		7402	
Д	155ЛА2	8И-НЕ		7430	
Е	155ЛА3	2И-НЕ		7400	
Ж	155ЛН1	НЕ		7404	
З	155ЛА4	3И-НЕ		7410	
Л	155ЛЕ7	5ИЛИ-НЕ		74260	
Н	155ЛИ1	2И		7408	
П	555ЛА1	4И-НЕ		7420	

Р	155ЛИ6	4И		7421	
Х	155ЛИ3	3И		7411	
Ш	155ЛЛ1	2ИЛИ		7432	
Щ	155ЛП5	mod2		7486	
Ъ	155ЛЕ4	3ИЛИ-НЕ		7427	
Н	155ИД7	DC		74138	
М	155КП7	MS		74151	
О	155ИМ3	SM		7483	

Ю	155TM2	D-триггер с установочными входами		7474	
Б	555ТВ9	Универсальный триггер		74112	

ПРИНЯТЫЕ СОКРАЩЕНИЯ

АЛУ	Арифметико-логическое устройство
ГОСТ	Государственный стандарт
ИД	Обозначение ИМС дешифратора
ИМ	Обозначение ИМС сумматора
ИМС	Интегральная микросхема
ИП	Обозначение ИМС вычислительных устройств прочих
КМОП	Технология комплементарная металл-окисел-полупроводник
КП	Обозначение ИМС мультиплексора (коммутаторы прочие)
ЛА	Логический элемент И-НЕ
ЛИ	Логический элемент И
ЛЕ	Логический элемент ИЛИ-НЕ
ЛЛ	Логический элемент ИЛИ
ЛП	Логический элемент mod2
ЛН	Обозначение ИМС логических инверторов
ЛР	Обозначение ИМС И-ИЛИ-НЕ
МОП	Технология металл-окисел-полупроводник
ПЗУ	Постоянное запоминающее устройство
ПП	Обозначение ИМС преобразователей прочих
ПР	Обозначение ИМС преобразователей кодов
СП	Обозначение ИМС схем сравнения
ТВ	Обозначение ИМС JK-триггеров
ТМ	Обозначение ИМС D-триггеров
УГО	Условное графическое обозначение
А	Обозначение адресных линий
ALU	Арифметико-логическое устройство
B _{CD}	Двоично-десятичный код
CD	Кодер
CG	Выход генерации переноса сумматора
CMP	Компаратор
CRP	Вход распространения переноса сумматора
CP	Вход распространения переноса сумматора
CRG	Выход генерации переноса сумматора
CS	Обозначение входа выбора кристалла
D	Обозначение линий данных
DC	Декодер
DMX	Демультимплексор
DMS	Демультимплексор-селектор
E	Обозначение входа разрешения работы
MS	Мультиплексор(мультиплексор селектор-)
MUX	Мультиплексор
SL	Мультиплексор (селектор-мультиплексор)

SM	Сумматор
XOR	Схема сложения по модулю 2
X/Y	Кодопреобразователь

СПИСОК ЛИТЕРАТУРЫ

1. Бойко В.И. и др. Схемотехника электронных систем. Цифровые устройства. - СПб.: БХВ-Петербург, 2004. - 512 с.
2. ГОСТ 2.743-91 Обозначения условные графические в схемах. Элементы цифровой техники.
3. ГОСТ 2.710-81 Обозначения буквенно-цифровые в электрических схемах. Элементы цифровой техники.
4. Лехин С. Н. Схемотехника ЭВМ. СПб, БХВ-Петербург, 2015.
5. Микушин А.В., Сажнев А.М., Сединин В.И. Цифровые устройства и микропроцессоры. СПб, БХВ-Петербург, 2015.
6. ОСТ 11 073.915-2000. Микросхемы интегральные. Классификация и система условных обозначений.
7. Петровский И.И. Логические ИС КР1533, КР1554. Справочник в 2-х частях. М, БИНОМ, 1993.
8. Потемкин И.С. Функциональные узлы цифровой автоматики. - М.: Энергоатомиздат, 1988. - 320 С.
9. Титце У., Шенк К. Полупроводниковая схемотехника. Пер. с нем. - М.: Мир, 1982. - 512 с.
10. Угрюмов Е.П. Цифровая Схемотехника: Учебное пособие для вузов. – СПб.: БХВ-Петербург, 2010. – 816с.
11. Хоровиц П., Хилл У. Искусство схемотехники: Пер. с англ. 6 изд. -М.: Мир, 2001. - 830 с.
12. Шилов В. Л. Популярныe цифровые микросхемы. М, Радио и связь, 1989. -352 с.
13. Якубовский Л.И. Цифровые и аналоговые микросхемы. М, Радио и связь, 1990. -496 с.
14. <https://3dnews.ru/> Новости цифровой техники.
15. <https://digteh.ru/> Применение цифровой техники в аппаратуре связи
16. <https://www.microhemca.ru/> Справочник ИМС.