

МИНИСТЕРСТВО ЦИФРОВОГО РАЗВИТИЯ, СВЯЗИ
И МАССОВЫХ КОММУНИКАЦИЙ РОССИЙСКОЙ ФЕДЕРАЦИИ

Северо-Кавказский филиал
ордена Трудового Красного Знамени федерального государственного
бюджетного образовательного учреждения высшего образования
«Московский технический университет связи и информатики»

Методические указания
по выполнению курсового проекта
по дисциплине

**Конструкторско-технологическое обеспечение
производства ЭВМ**
раздел «Проектирование конструктивных модулей ЭВМ»

направление подготовки **09.03.01. Информатика и вычислительная техника**

Ростов-на-Дону
2021

Методические указания по
выполнению курсового проекта
по дисциплине
Конструкторско-технологическое обеспечение производства ЭВМ
раздел «Проектирование конструктивных модулей ЭВМ»

Составитель: Швидченко С.А., доцент кафедры ИВТ
Рассмотрено и одобрено на заседании кафедры ИВТ
Протокол от 30.08.21 №1

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ	4
1. СОДЕРЖАНИЕ ПРОЕКТА	4
2. ОФОРМЛЕНИЕ КУРСОВОГО ПРОЕКТА	5
3. ПОРЯДОК ЗАЩИТЫ	6
4. МЕТОДИКА РАСЧЕТА ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ	6
4.1. Методика расчета ЛЭ транзисторно-транзисторной логики (ТТЛ).....	11
Пример.	13
4.2. Методика расчета ЛЭ эмиттерно-связанной логики (ЭСЛ)	17
Пример.	18
4.3. Методика расчета базового ЛЭ типа КМДП	23
Пример.	25
4.4. Методика расчета ЛЭ интегральной инжекционной логики (ИИЛ)	27
Пример.	29
ЛИТЕРАТУРА	31
ПРИЛОЖЕНИЕ 1	32
ПРИЛОЖЕНИЕ 2	33

ВВЕДЕНИЕ

Основой схмотехнического построения ЭВМ являются типовые электронные схемы, которые называются *логическими элементами* (ЛЭ). Это основной "строительный материал ЭВМ" и, соответственно, ЛЭ характеризуются требованиями функциональной и технической полноты.

Под ЛЭ ЭВМ в общем случае понимают устройства, выполняющие операции булевой алгебры в двоичной системе. Логический элемент в зависимости от назначения, типа логики, технологии изготовления интегральной схемы (ИС) может состоять из различного числа схемных элементов (как правило от 5 до 15). Имеющиеся в составе ЭВМ, кроме вышеназванных ЛЭ, различные элементы хранения двоичной информации – триггеры, также синтезируются на основе логических элементов. Вычислительные процессы в ЭВМ, содержащие арифметические операции сложения, вычитания, умножения и деления, или логические процедуры, такие как поиск, сортировка, сравнение, сдвиг и другие реализуются схемами, состоящими из ЛЭ.

Таким образом, логические элементы ЭВМ образуют универсальную среду, обеспечивающую арифметическую и логическую обработку входной двоичной информации. При проектировании подобных устройств важно выбирать и применять микросхемы, соответствующие предъявляемым требованиям.

Цель курсового проектирования: освоить методы схемного проектирования и электрического расчета типовых ЛЭ средств вычислительной техники (СВТ), а также технологию их моделирования в среде MultiSim.

Курсовой проект состоит из следующих частей:

- электрический расчет логических элементов ТТЛ, ЭСЛ, КМОП, И²Л;
- сравнительный анализ электрических параметров логических элементов;
- моделирование логических элементов в MultiSim.

1. СОДЕРЖАНИЕ ПРОЕКТА

В соответствии с вариантом выполнить электрический расчет принципиальных схем ЛЭ основных типов: ТТЛ, ЭСЛ, КМОП, И²Л.

Расчет проводить согласно методикам, приведенным для каждого типа ЛЭ в разделе 4. При этом необходимо кратко описать состав схемы и назначение элементов схемы.

Напряжения источников питания, рабочие токи, коэффициенты насыщения, а также другие характеристики электрической схемы логического элемента, не указанные в задании, выбираются из справочников и обосновываются студентом.

Номинальные значения сопротивлений резисторов и ёмкостей конденсаторов должны соответствовать стандартной шкале, а напряжения источников питания - рекомендуемым значениям нормального ряда чисел. Выбор конкретной формулы также должен быть обоснован.

Необходимо провести сравнительный анализ электрических параметров логических элементов. Сделать выводы об особенностях ЛЭ, их возможности использования в современных СВТ.

Выполнить моделирование каждой рассчитанной схемы в MultiSim 10.0. В пояснительной записке отразить моделируемую схему, привести таблицы истинности и временные диаграммы работы.

2. ОФОРМЛЕНИЕ КУРСОВОГО ПРОЕКТА

Материалы, представляемые на защиту курсового проекта, следующие:

- пояснительная записка, включающая для каждого ЛЭ схему, описание схемы, назначение элементов схемы, расчет схемы по нижеуказанным методикам, результаты моделирования ЛЭ в MultiSim 10.0 (модельная схема, таблица истинности, эпюры напряжений с пояснениями), а также сравнительный анализ электрических параметров рассчитанных логических элементов;
- электронные файлы моделирования ЛЭ в MultiSim 10.0.

Пояснительная записка должна быть выполнена в Word (97-2003), распечатана на листах формата А4 по требованиям, изложенным в ГОСТ 3.1105-2011 «ЕСТД. Формы и правила оформления документов общего назначения».

Электронные материалы представляются или на CD-диске, или высылаются электронной почтой в адрес СКФ МТУСИ по предварительному согласованию с преподавателем.

3. ПОРЯДОК ЗАЩИТЫ

Курсовой проект защищается на кафедре перед комиссией. Студент готовит доклад на 3...5 мин., а после доклада отвечает на вопросы.

4. МЕТОДИКА РАСЧЕТА ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Разработка каждой серии цифровых интегральных схем (ЦИС) начинается с базового логического элемента (ЛЭ) – основы всех элементов, узлов и устройств серии. Разнообразие типов логических элементов объясняется тем, что каждый из них имеет свои преимущества и область применения.

Современные ЦИС строятся на основе схем транзисторно-транзисторной логики (ТТЛ), ТТЛ с диодом Шотки (ТТЛШ), эмиттерно-связанной логики (ЭСЛ), на полевых транзисторах или их комплиментарных парах (МДП, МОП, КМДП, КМОП), а также интегральной инжекционной логики (ИИЛ или И²Л). Серии ЦИС на основе резисторно-транзисторной логики (РТЛ) и диодно-транзисторной логики (ДТЛ) в настоящее время не используются.

Логические и схемотехнические возможности базовых функциональных элементов определяются совокупностью электрических и функциональных параметров. *Основные параметры* являются общими для всех существующих и возможных логических ИМС и позволяют сравнивать между собой микросхемы различных типов. К этим параметрам относятся:

- реализуемая логическая функция;
- быстродействие;
- коэффициент объединения по входу;
- коэффициент разветвления по выходу (нагрузочная способность);
- помехоустойчивость;
- потребляемая мощность;
- устойчивость против внешних воздействий, степень интеграции, надежность и т.д.

Реализуемая логическая функция. Как правило, базовые ЛЭ выполняют либо операцию И-НЕ, либо операцию ИЛИ-НЕ.

Быстродействие ИС определяется *средним временем задержки* ($t_{зд}$) сигнала. Оно определяет время прохождения сигнала через одну микросхему в

устройстве. Также различают время задержки распространения сигнала при включении ЛЭ $t_{зд.р}^{1,0}$ и время задержки сигнала при его выключении $t_{зд.р}^{0,1}$.

Таким образом, средним временем задержки распространения сигнала $t_{зд}$ является фактически интервал времени, равный полусумме времён задержки распространения сигнала при включении и выключении логического элемента:

$$t_{зд} = \frac{t_{зд.р.}^{1,0} + t_{зд.р.}^{0,1}}{2}.$$

Коэффициент объединения по входу $K_{об}$ определяет число логических входов, которые имеет логический элемент. Простейшие логические элементы выпускаются с 2, 3, 4 и 8 входами.

Коэффициент разветвления по выходу $K_{раз}$ (*нагрузочная способность*) показывает, какое число логических входов устройств этой же серии может быть одновременно присоединено к выходу данного логического элемента. Чем выше $K_{раз}$, тем шире логические возможности микросхемы и тем меньше таких микросхем необходимо для построения сложного вычислительного устройства. Однако с увеличением этого коэффициента ухудшаются *помехоустойчивость* и *быстродействие*.

Помехоустойчивость $U_{п. max}$ – это наибольшее значение напряжения на входе микросхемы, при котором еще не происходит изменение уровней выходного напряжения. Помехоустойчивость определяет работоспособность логического элемента при наличии различных помех, действующих на входе ИМС наряду с полезным сигналом. Помехи могут как возникать в самих логических схемах, так и наводиться от посторонних устройств.

Напряжение высокого U^1 и низкого U^0 уровней – номинальные значения напряжений логических "1" и "0".

Пороговые напряжения высокого $U^1_{пор}$ и низкого $U^0_{пор}$ уровней – наименьшее ($U^1_{пор}$) или наибольшее ($U^0_{пор}$) значение соответствующих уровней, при которых начинается переход логического элемента в другое состояние. Эти параметры определяются с учётом разброса параметров соответствующей серии в рабочем диапазоне температур. В справочниках часто приводится одно усреднённое значение $U_{пор}$. *Входные токи* при входных напряжениях низкого и высокого уровней обозначаются, соответственно, $I^0_{вх}$ и $I^1_{вх}$.

Статическая помехоустойчивость оценивается как минимальная разность между значениями выходного и входного сигналов относительно порогового значения:

$$U_{\Pi}^{-} = U_{\text{вых min}}^1 - U_{\text{пор}}^0 ;$$

$$U_{\Pi}^{+} = U_{\text{пор}}^0 - U_{\text{вых min}}^0 ,$$

$$=$$

где $U_{\text{вых min}}^1$, $U_{\text{вых min}}^0$ – наибольший и наименьший уровни выходных напряжений, соответствующих логическим "1" и "0" при допустимых изменениях напряжения питания, нагрузки, температуры. Задаются техническими условиями для каждой серии логических элементов.

В справочных данных обычно приводится одно допустимое значение помехи, которое не переключает ЛЭ при допустимых условиях эксплуатации. По статической помехоустойчивости логические элементы условно разделяют на элементы:

- с низкой помехоустойчивостью, $U_{\text{пом. ст}} = 0,2 \dots 0,4 \text{ В}$;
- со средней помехоустойчивостью, $U_{\text{пом. ст}} = 0,4 \dots 0,8 \text{ В}$;
- с высокой помехоустойчивостью, $U_{\text{п. ст}} > 0,8 \text{ В}$.

Основные характеристики потребляемой мощности – ток

$I_{\text{п0}}$ ГД

потребления $I_{\text{пот}}$, энергия переключения и средняя статическая потребляемая мощность

$$P_{\text{п. ср.}} = \frac{1}{2} (P_{\text{п}}^0 + P_{\text{п}}^1).$$

$P_{\text{п}}$ и $P_{\text{п}}^1$ – мощности, потребляемые ЛЭ в состоянии логического нуля и логической единицы. Потребляемая мощность зависит от напряжения источника питания $U_{\text{ип}}$. При снижении $U_{\text{ип}}$ уменьшается потребляемая мощность, ухудшаются помехоустойчивость, нагрузочная способность, а иногда и быстродействие. По средней потребляемой мощности ИС делятся на:

- мощные, $P_{\text{ср}} = 25 \dots 250 \text{ мВт}$ (ЭСЛ-схемы);
- средней мощности, $P_{\text{ср}} = 3 \dots 25 \text{ мВт}$ (ТТЛ-схемы);
- маломощные, $P_{\text{ср}} = 0,3 \dots 3 \text{ мВт}$;
- микромощные, $P_{\text{ср}} = 1 \text{ мВт} \dots 300 \text{ мкВт}$ (КМДП-схемы);
- нановаттные, $P_{\text{ср}} < 1 \text{ мкВт}$ (I^2L).

Значение $U_{\text{ип}}$ должно соответствовать одному из значений стандартного ряда напряжений питания: 1,2; 1,6; 2,0; 2,4; 3,0; 4,0; 5,0; 6,3; 9,0 и 12,6 В. Для цифровых микросхем на биполярных транзисторах типовые значения $U_{\text{ип}}$ составляют 2...5 В, для схем на МДП-транзисторах – 5...9 В.

Энергия переключения – работа, затрачиваемая на выполнение единичного переключения. Это интегральный параметр, используемый для сравнения

между собой микросхем различных серий и технологий. Он находится как произведение потребляемой мощности и среднего времени задержки распространения сигнала.

Распространение нескольких типов логики, выполняющих одни и те же логические функции, объясняется различием их характеристик, что, в зависимости от технических требований и условий эксплуатации, позволяет строить электронные устройства с различными параметрами:

- ТТЛ-технология – ЛЭ обладают высоким хорошей помехоустойчивостью, но характеризуются большой потребляемой мощностью;
- ЭСЛ – ЛЭ имеют самое высокое быстродействие и высокую нагрузочную способность (т.к. на выходах стоят эмиттерные повторители), а также широкие логические возможности (т.к. схема имеет два выхода). Их недостатки - большая потребляемая мощность (т.к. в схеме переключаются большие токи) и сравнительно низкая помехоустойчивость (т.к. малый перепад логических уровней);
- КМОП или КМДП-технология – ЛЭ характеризуется весьма малым потребляемым током (а, следовательно, и потребляемой мощностью) и имеют низкое напряжение питания, но обладают низким быстродействием;
- И²Л-технология – ЛЭ имеют пониженное напряжение питания (всего порядка 1 В) и малую потребляемую мощность, хорошо согласуются с элементами ТТЛ и обеспечивают высокую степень интеграции, а при изготовлении схем И²Л используется те же хорошо отработанные технологические процессы, что и при производстве ИС на биполярных транзисторах (но при этом меньше технологических операций). Кроме того, ЛЭ, выполненные по технологии И²Л, позволяют менять потребляемую мощность изменять быстродействие. К недостаткам таких ЛЭ относят низкую помехоустойчивость (т.к. малый перепад логических уровней) и сравнительно низкое быстродействие (ниже, чем в схемах ЭСЛ).

Таким образом, самыми распространенными на сегодняшний день являются ИС, реализующие ТТЛ и ее разновидности (ТТЛШ). Этот тип интегральных схем, судя по прогнозам специалистов, останется наиболее массовым и в ближайшем будущем. Например, параметры стандартной ТТЛ следующие:

- быстродействие 3.10 нс;
- потребляемая мощность 20 мВт;
- помехоустойчивость 0,1 В;
- минимальное напряжение логической единицы на выходе $U_{\text{вых min}}^1 = 2,4\text{В}$;
- максимальное напряжение логического нуля на выходе $U_{\text{вых max}} = 0,4\text{В}$.

Маломощные ТТЛ-схемы имеют входной ток в четыре раза меньше, чем стандартные, что снижает мощность рассеяния примерно в 10 раз и ухудшает быстродействие в 3 раза. ТТЛШ-схемы имеют быстродействие в 3-4 раза выше, чем у соответствующих ТТЛ-схем. Поэтому скорость переключения маломощных ТТЛШ примерно такая же как у стандартных ТТЛ.

Интегральные схемы, реализующие ЭСЛ, являются наиболее быстродействующими, но мощность, потребляемая этими элементами, превышает мощность элементов ТТЛ. Однако гибкость схемотехнических решений ЭСЛ позволяет достаточно просто реализовать сложные логические функции.

Базовые элементы ИИЛ (И2Л) были разработаны специально для использования в БИС. Их отличает высокая, недоступная для ТТЛ и ЭСЛ степень интеграции, пониженное напряжение питания, простота согласования с элементами ТТЛ и возможность регулировать в широких пределах быстродействие путем изменения потребляемой мощности.

Особенностью интегральных схем, выполненных на полевых транзисторах, является малая потребляемая мощность. Однако по быстродействию эти элементы пока уступают логике на биполярных транзисторах. Интегральные схемы на полевых транзисторах также обладают высокой помехоустойчивостью. В сравнении с биполярными полевые транзисторы имеют меньшие размеры и проще в изготовлении, что позволяет разместить на единице площади кристалла больше элементов. Область применения логики на полевых транзисторах ограничивается функционально сложными устройствами невысокого быстродействия и малого токопотребления. Прогнозы показывают, что по мере совершенствования технологии изготовления, направленной на повышение быстродействия, этот класс интегральных схем постепенно может стать массовым. В первую очередь это касается интегральных схем КМОП.

Далее представлены методики расчета логических элементов основных серий ИС.

4.1. Методика расчета ЛЭ транзисторно-транзисторной логики (ТТЛ)

Типовая схема ТТЛ со сложным инвертором представлена на рисунке 1.

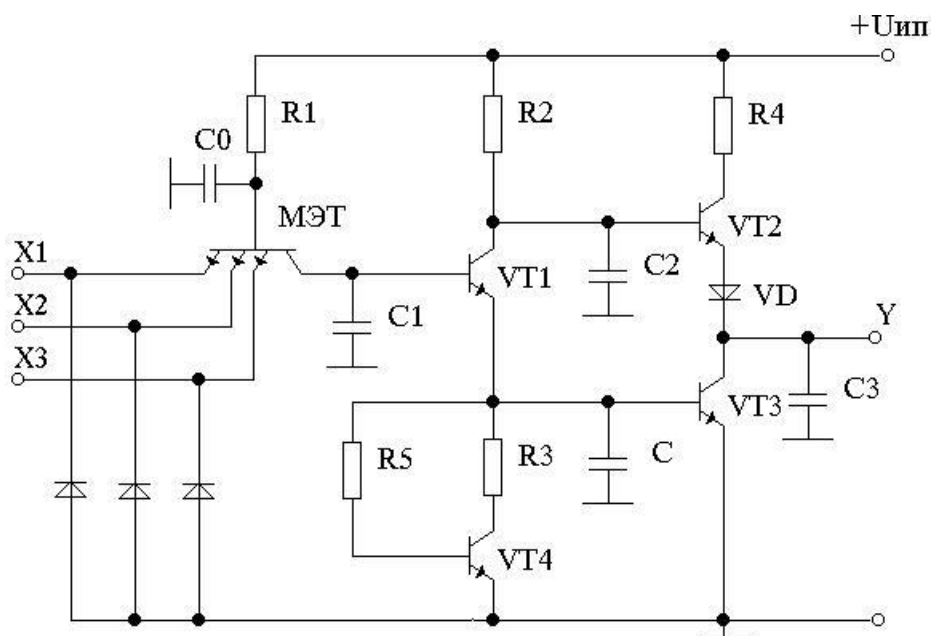


Рисунок 1 – Схема логического элемента ТТЛ со сложным инвертором

Расчет принципиальной схемы ЛЭ осуществлять согласно варианту задания:

Последняя цифра № студенческого билета	0, 1, 2	3, 4, 5	6, 7	8, 9
Тип ЦИС ТТЛ	Стандартная 133, К155	Высокого быстродействия 130, К131	Микромощная 134	Микромощная 158

Последняя цифра № студенческого билета	0, 3	1, 4, 6, 8	2, 5, 7, 9
R2 / R3	1	1,5	2

Предпоследняя цифра № студенческого билета	0, 3, 6, 9	1, 4, 7	2, 5, 8
R1 / R2	2	3	4
C _{эзМ} , C _{пМ} , C _э , C _к , пФ	1,5	2	1

При расчете использовать данные из таблицы П2.1 (Приложение 2), а также следующие дополнительные параметры:

- напряжение источника питания $U_{ИП} = 5 \text{ В}$;
- падение напряжения на открытом p-n переходе транзистора и диода $U_{бэМ} = U_{бэнас.VT} = U^* = 0,7 \text{ В}$;
- падение напряжения на переходе коллектор-эмиттер насыщенных транзисторов $U_{кэнас.VT} = 0,3 \text{ В}$;
- напряжение база-коллектор МЭТ $U_{бкМ} = 0,4 \text{ В}$;
- инверсный коэффициент усиления многоэмиттерного транзистора (МЭТ) $\beta_i = 0,05$;
- $U_{ост.М} = U_{кэнас.М} = 0,25 \dots 0,3 \text{ В}$ (при расчетах выбирать значение 0,25 В);
- сопротивление области коллектора транзистора VT3 при температуре окружающей среды 20° C $R_{кVT3} = 5 \dots 20 \text{ Ом}$ (брать равным 10 Ом);
- $C_0 + C_1 = 6 \text{ пФ}$;
- $C_2 = 5 \text{ пФ}$;
- емкость металлических соединений и изоляции транзистора VT3 и диода VD $C_{п3} = 1 \text{ пФ}$;
- коэффициент усиления по току транзисторов VT1...VT4 в статическом режиме $\beta_{ст} = 30$;
- граничная частота транзисторов усиления VT1...VT4 $f_T = 500 \text{ МГц}$;
- емкости "база-эмиттер" транзисторов VT1...VT4 $C_{бэ} = 1 \text{ пФ}$;
- температура окружающей среды $T = 20^\circ \text{ C}$.

В современных микросхемах ТТЛ оптимальные значения номиналов резисторов определяются соотношениями (конкретные численные значения заданы по вариантам):

$$\frac{R1}{R2} = 2 \dots 4 ; \quad \frac{R2}{R3} = 1 \dots 2 ; \quad \frac{R2}{R4} = 10 ; \quad R2 = R5 .$$

Кроме того, в ИС ТТЛ малой и средней степени интеграции следующие параметры:

- емкость закрытого эмиттерного перехода МЭТ $C_{эзМ}$;

- паразитная емкость металлических соединений и изоляции резистора $R1$, подключенных к базе транзистора МЭТ, $C_{ПМ}$;
- емкости эмиттера и коллектора транзисторов $VT1...VT4$ $C_э$, $C_к$, приблизительно равны между собой:

$C_{эзМ} \approx C_{ПМ} \approx C_э \approx C_к \approx 0,5...2$ пФ, (конкретное численное значение из указанного интервала задано по вариантам), а паразитная емкость металлических соединений и изоляции МЭТ, подключенных к базе $VT1$, $C_{П.ВЫХ}$ равна

$$C_{П.ВЫХ} \approx 4C_{эзМ}.$$

Пример.

Методику расчета принципиальной схемы ЛЭ ТТЛ со сложным инвертором рассмотрим на численном примере для следующих гипотетических характеристик:

- средняя мощность потребления в статическом режиме $P_{п.ср} = 20$ мВт;
- $U_{ВХ}^0 = U_{ВЫХ}^0 = U^0 = 0,3$ В; $U_{ВЫХ}^1 = U_{ВХ}^1 = U^1 = 3,6$ В;
- коэффициент объединения по входу $K_{об} = 2$;
- $C_{эзМ}, C_{ПМ}, C_э, C_к = 4$ пФ, откуда $C_{П.ВЫХ} = 4$ пФ;
- $R1/R2 = 2,5$, $R2/R3 = 1,5$.

Расчет статических параметров.

Средняя мощность, потребляемая элементом, равна

$$P_{п.ср} = \frac{1}{2} (P_{п}^0 + P_{п}^1) = \frac{I_{п}^0 + I_{п}^1}{2} U_{ип},$$

где $I_{п}^0$ - ток на выходе ЛЭ, потребляемый в состоянии "0", равный

$$I_{п}^0 = \frac{U_{ип} - 3U^*}{R1} + \frac{U_{ип} - U_{кэ нас VT1} - U_{бэ нас VT3}}{R2};$$

$I_{п}^1$ - ток на выходе ЛЭ, потребляемый в состоянии "1", равный

$$I_{п}^1 = \frac{U_{ип} - U_{бкМ} - U_{0 вх}}{R1}.$$

Следовательно, можно записать:

$$P_{п.ср} = \left(\frac{U_{ип} - 3U^*}{R1} + \frac{U_{ип} - U_{кэнас.VT1} - U_{бэнас.VT3}}{R2} + \frac{U_{ип} - U_{бкМ} - U_{вх}^0}{R1} \right) \frac{U_{ип}}{2}.$$

Так как средняя мощность $P_{п.ср}$ известна, из последнего выражения получаем значение $R1$:

$$R1 = 2,15 \text{ кОм},$$

а из соотношения $\frac{R1}{R2} = 2,5$ рассчитаем номинал второго сопротивления схемы:

$$R2 = 0,86 \text{ кОм}.$$

Далее из соотношения $\frac{R2}{R3} = 1,5$ находим номинал третьего сопротивления:

$$R3 = 0,57 \text{ кОм},$$

а также находим номиналы четвертого и пятого сопротивлений:

$$R4 = 0,1 R2 = 86 \text{ Ом}, R5 = R2 = 0,86 \text{ кОм}.$$

Токи схемы рассчитаем следующим образом:

- входной ток логической единицы через каждый закрытый эмиттерный переход находится как

$$I_{вх}^1 = \frac{\beta_i (U_{ип} - U_{бкМ} - U_{бэнас.VT3})}{R1} = 91 \text{ мкА};$$

- входной ток логического "0", когда один эмиттерный переход открыт, а другие закрыты равен

$$I_{вх}^0 = \frac{U_{ип} - U_{бкМ} - U_{вх}^0}{R1} \cdot (1 + \beta_i (K_{об} - 1)) = 2,1 \text{ мА}.$$

Напряжение порога переключения равно:

$$U_{пор} = 2U^* - U_{ост.М} = 1,15 \text{ В},$$

а запасы помехоустойчивости по уровню "1" и "0", соответственно, при этом равны:

$$U_{п}^1 = U_{вх} - 2U^* - U_{ост.М} = U_{ип} - 4U^* - U_{ост.М} = 1,95 \text{ В};$$

$$U_{н}^0 = 2U^* - U_{ост.М} - U_{вх}^0 = 0,85 \text{ В}.$$

Далее стало возможным рассчитать токи схемы по вышеприведенным формулам:

- ток, потребляемый элементом в состоянии "0" на выходе $I_n^0 = 6,0 \text{ мА}$; -

ток, потребляемый элементом в состоянии "1" на выходе $I_n^1 = 2,0 \text{ мА}$.

Тогда мощности, потребляемые элементом в состоянии "1" и "0" на выходе, соответственно, равны:

$$\begin{aligned} P_{п1} &= I_{п1} U_{ип} = 10 \text{ мВт}; \\ P_{п0} &= I_{п0} U_{ип} = 30 \text{ мВт}. \end{aligned}$$

Для проверки получим, что рассчитанная средняя мощность $P_{п.ср.расч}$ совпала с заданной:

$$P_{п.ср.расч} = \frac{1}{2} (P_{п0} + P_{п1}) = 20 \text{ мВт} = P_{п.ср.}$$

Далее рассчитаем сопротивления схемы:

- выходное сопротивление ЛЭ для состояния "1" (VT2 находится в режиме насыщения):

$$R_{вых.нас1} = \frac{R_2 R_4}{R_2 + R_4} = 78,2 \text{ Ом};$$

- выходное сопротивление ЛЭ для состояния "0"

$$R_{вых0} = R_{кVT3} = 10 \text{ Ом}.$$

Расчет динамических параметров.

Найдем постоянную времени

$$\tau_1 = R_1(C_0 + C_1) = 12,9 \text{ нс}.$$

Далее можем рассчитать временные характеристики ЛЭ. Время задержки включения равно:

$$t_{зд}^{1,0} = \frac{\tau (2U^* - U_{остМ} - U_0)}{U_{ип} - U^*} = 2,6 \text{ нс}.$$

В современных ИС ТТЛ малой и средней степени интеграции

$$C_{эзМ} \approx C_{пМ} \approx C_э \approx C_к,$$

что позволяет рассчитать временные характеристики ЛЭ следующим образом: - время спада выходного сигнала

$$t_c = \sqrt{2R_1R_2C \left(\frac{1}{C_k} + \frac{C_{пз} + C_n}{\beta_{ст}} \right) \frac{U_{ип} - 4U^*}{U_{ип} - 3U^*}} = 7,5 \text{ нс};$$

- время перехода из состояния "1" в состояние "0"

$$t^{1,0} = 2 t_c = 15 \text{ нс};$$

- время нарастания выходного сигнала

$$t_{\text{нар}} = \frac{2U * R_2 C_2}{U_{\text{ип}} - 2U *} = 1,7 \text{ нс};$$

- время перехода из состояния "0" в состояние "1"

$$t^{0,1} = 2 t_{\text{нар}} = 3,3 \text{ нс};$$

- время средней задержки распространения сигнала

$$t_{\text{зд.р.ср}} = 0,5(t_{\text{зд.р.}}^{0,1} + t_{\text{зд.р.}}^{1,0}) = 6 \text{ нс}.$$

Тогда работа ЛЭ, затрачиваемая на выполнение единичного переключения, равна

$$A_{\text{пер}} = P_{\text{п.ср}} t_{\text{зд.р.ср}} = 120 \text{ пДж},$$

а динамическая мощность ЛЭ определяется как

$$P_{\text{дин}} \approx U_{\text{ип}} f_m U * (C_{\text{эл}} + C_{\text{эз}} + C_{\text{бэ}}) + 2U * (C_0 + C_1) + (U_{\text{ип}} - U *) (C_{\text{кл}} + C_{\text{кз}} + C_2) + \\ + (U_0 - U_1) (C_{\text{кз}} + C_{\text{п.вых}} + C_{\text{н}}) = 16 \text{ мВт}.$$

Полная мощность, потребляемая элементом в статическом и динамическом режимах составляет

$$P = P_{\text{п.ср}} + P_{\text{дин}} = 20 + 16 = 36 \text{ мВт}.$$

Далее необходимо представить выводы по приведенному расчету, отражающие сравнительный анализ полученных данных с характеристиками ЦИС других типов.

4.2. Методика расчета ЛЭ эмиттерно-связанной логики (ЭСЛ)

ЭСЛ имеют высокое быстродействие, т.к. применение на выходах эмиттерных повторителей обеспечивает ускорение процесса перезарядки ёмкостей, подключённых к выходам. Транзисторы включены по схеме, близкой к схеме включения с общей базой, что улучшает частотные характеристики транзисторов и ускоряет процесс их переключения. Принципиальная электрическая схема элемента представлена на рисунке 2.

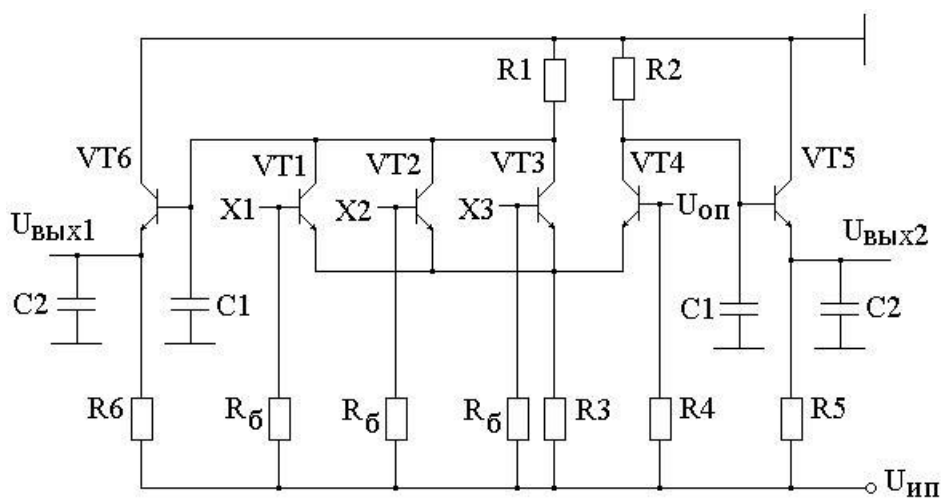


Рисунок 2 – Схема логического элемента ЭСЛ

Расчет принципиальной схемы ЭСЛ осуществлять согласно варианту задания:

Последняя цифра № студенческого билета	0, 1, 2, 3	4, 5, 6	7, 8, 9
Тип ЦИС ЭСЛ	K137	100, K500, 700	1500

Последняя цифра № студенческого билета	0, 4, 7	1, 2, 5, 8	3, 6, 9
R4 / R1	2	3	4

Предпоследняя цифра № студенческого билета	0, 3, 6, 9	1, 4, 7	2, 5, 8
R _k / R _{эп}	0,2	0,3	0,4

При расчете использовать данные из таблицы П2.2 (Приложение 2), а также следующие дополнительные параметры:

- уровень опорного напряжения $U_{\text{оп}} = -1,2 \text{ В}$;
- коэффициент усиления транзисторов в статическом режиме $\beta_{\text{ст}} = 30$;
- граничная частота усиления транзисторов $f_T = 800 \text{ МГц}$;
- емкость нагрузки $C_H = 30 \text{ пФ}$;
- температура окружающей среды $T = 20^\circ \text{ С}$.

В современных микросхемах ЭСЛ оптимальные значения номиналов резисторов определяются соотношениями (конкретные численные значения заданы по вариантам):

$$\frac{R_k}{R_{\text{эп}}} = 0,2 \dots 0,4; R_4 = (2 \dots 4) R_1; R_1 \approx R_2 = R_5 = R_k; R_3 = R_6 = R_7 = R_8 = R_{\text{эп}},$$

где $R_k, R_{\text{эп}}$ – сопротивление коллекторных переходов и эмиттерных повторителей.

Кроме того, принимаем падение напряжения на открытом p-n переходе транзисторов (в том числе транзисторов нагрузки) и диодов одинаковыми, т.е.

$$U_{\text{бэVT}} = U_{\text{бэVTII}} = U_D = U^* = 0,7 \text{ В при } R_6 = 50 \text{ кОм},$$

а также конкретизируем следующие справочные значения:

$$C_k = 2 \text{ пФ}; C_{m1} = 1 \text{ пФ}; C_{m2} = 2 \text{ пФ};$$

где C_k – ёмкость коллекторных переходов транзисторов VT1...VT3, VT6;

C_{m1} – паразитная ёмкость металлических соединений и изоляции транзисторов VT1...VT3 и резистора R1;

C_{m2} – паразитная ёмкость изоляции резистора R6 и металлических соединений, подключенных к выходу схемы.

Пример.

Методику расчета принципиальной схемы ЭСЛ рассмотрим на численном примере для следующих гипотетических характеристик:

- напряжение источника питания $U_{\text{ип}} = -5 \text{ В}$;
- коэффициент разветвления $K_{\text{раз}} = 20$;
- средняя мощность потребления $P_{\text{п.ср}} = 80 \text{ мВт}$;
- уровень напряжения $U_{\text{вх}}^0 = U_{\text{вых}}^0 = U^0 = -1,6 \text{ В}$;

- уровень напряжения $U_{ВХ}^1 = U_{ВЫХ}^1 = U^1 = -0,8 \text{ В}$;
- $R_k / R_{\text{эп}} = 0,3$, $R_4 / R_1 = 3$;
- время задержки распространения при выключении ЛЭ $t_{\text{зд.р}}^{1,0} = 3,9 \text{ нс}$;
- время задержки распространения при включении ЛЭ $t_{\text{зд.р}} = 3,4 \text{ нс}$.

Расчет статических параметров.

Из исходных данных получим, что

$$R_{\text{эп}} = R_k / 0,3; R_1 = R_2 = R_5 = R_k;$$

$$R_3 = R_6 = R_7 = R_8 = R_k / 0,3;$$

$$R_4 = 3 R_k.$$

Так как средняя мощность, потребляемая элементом ЭСЛ, определяется по формуле

$$P_{\text{п.ср}} = U_{\text{ип}} \left| \frac{U_{\text{ип}} - U_{\text{оп}}}{R_4} - \frac{U^1 - U^0}{R_k} + \frac{U_{\text{ип}} - 2U^*}{R_5 + R_8} + \frac{U_{\text{ип}} - U^0}{R_6} \right| +$$

$$+ \left| \frac{U_{\text{ип}} - U^1}{R_7} + K_{\text{раз}} \frac{U_{\text{ип}} - U_{\text{оп}}}{R_3(\beta_{\text{ст}} + 1)} \right| =$$

$$= U_{\text{ип}} \left| \frac{U_{\text{ип}} - U_{\text{оп}}}{3R_k} - \frac{U^1 - U^0}{R_k} + \frac{U_{\text{ип}} - 2U^*}{R_k + \frac{R_k}{0,3}} + \frac{U_{\text{ип}} - U^0}{\frac{R_k}{0,3}} \right| +$$

$$+ \left| \frac{U_{\text{ип}} - U^1}{\frac{R_k}{0,3}} + K_{\text{раз}} \frac{U_{\text{ип}} - U_{\text{оп}}}{\frac{R_k}{0,3}(\beta_{\text{ст}} + 1)} \right|,$$

то, учитывая исходные данные, значение сопротивления коллекторного перехода равно

$$R_k = 0,260 \text{ КОм.}$$

Тогда значения сопротивлений резисторов равны:

$$R_{\text{эп}} = 0,868 \text{ КОм; } R_1 = R_2 = R_5 = 0,260 \text{ КОм;}$$

$$R_3 = R_6 = R_7 = R_8 = 0,868 \text{ КОм;}$$

$$R_4 = 0,781 \text{ КОм.}$$

Через каждый открытый эмиттерный переход проходит входной ток логической "1"

$$I_{BX}^1 = \frac{U_{BX}^1 - U_{эбVT1} - U_{ип}}{R3(\beta_{ст} + 1)} = 0,13 \text{ мА.}$$

Входной ток логического "0", определяемый сопротивлением резистора R_6 в цепи базы закрытого транзистора, составит:

$$I_{BX}^0 = \frac{U_{BX}^0}{R_6} = 0,032 \text{ мА.}$$

Так как напряжение порога переключения $U_{пор}$ равно опорному $U_{оп}$, то $U_{пор} = -1,2 \text{ В}$. Учитывая, что ширина активной зоны практически не зависит от параметров схемы и составляет

$$\Delta U_{BX} = 4,4 \varphi_T = 0,13 \div 0,2 \text{ В,}$$

где φ_T – температурный потенциал для конкретного типа транзистора, примем

$$\Delta U_{BX} = 0,15 \text{ В.}$$

Логический перепад определим из выражения:

$$U_L = |U_{BX}^0| - |U_{BX}^1| = 0,8 \text{ В.}$$

Напряжение статической помехоустойчивости по уровням "0" и "1" в этом случае равно:

$$U_{п}^+ \approx U_{п}^- \approx 0,5(U_L - \Delta U_{BX}) = 0,325 \text{ В.}$$

Ток логической части элемента определяется из формулы:

$$I_L = \frac{U_{п}^0 - U_{п}^1}{R_k} = -3,1 \text{ мА.}$$

Токи эмиттерных повторителей равны:

$$I_{эп1} = \frac{U_{ип} - U_{п}^1}{R6} = -3,9 \text{ мА;}$$

$$I_{эп2} = \frac{U_{ип}}{R7} + I_n = \frac{U_{ип}}{R7} + K_{раз} I_{BX}^1 = -2,2 \text{ мА.}$$

Токи источников опорного напряжения определим следующим образом:

$$I_{он1} = \frac{U_{ин} - U_{он}}{R4} = -4,9 \text{ мА;}$$

$$I_{он2} = \frac{U_{ин} - 2U^*}{R3 + R8} = -3,7 \text{ мА.}$$

Общий ток, потребляемый элементом ЭСЛ, приблизительно одинаков для состояний "1" и "0" и равен сумме токов

$$I_n^0 \approx I_n^1 = I_L + I_{он1} + I_{он2} + I_{эп1} + I_{эп2} = -18 \text{ мА.}$$

Мощности потребления ЛЭ
равны: - логической части элемента

$$P_{\text{л}} = U_{\text{ип}} I_{\text{л}} = 15 \text{ мВт};$$

- потребления эмиттерными повторителями

$$P_{\text{эп}} = U_{\text{ип}} I_{\text{эп}} = U_{\text{ип}}(I_{\text{эп1}} + I_{\text{эп2}}) = 31 \text{ мВт};$$

- потребления источником опорного напряжения

$$P_{\text{оп}} = U_{\text{оп}}(I_{\text{оп1}} + I_{\text{оп2}}) = 10 \text{ мВт}.$$

Расчет недостающих сопротивлений схемы:

- входное сопротивление элемента, когда на входе действует напряжение логического "0", равно

$$R_{\text{вх}}^0 = R_6 = 50 \text{ КОм};$$

- входное сопротивление элемента, когда на входе действует напряжение логической "1"

$$R_{\text{вх}}^1 = (1 + \beta_{\text{ст}}) R_3 = 27 \text{ КОм};$$

- выходное сопротивление элемента, когда на выходе действует напряжение логического "0" или логической "1", определяем по формуле

$$R_{\text{вых}} = \frac{R_1 R_5 (1 + \beta_{\text{ст}})}{R_1 + \frac{R_5}{(1 + \beta_{\text{ст}})}} = 7,8 \text{ КОм}.$$

Расчет динамических параметров.

Собственное время переключения токов в транзисторе равно

$$\tau_{\text{т}} = \frac{1}{2\pi f_{\text{т}}} = 0,2 \text{ нс}.$$

Эквивалентная ёмкость на коллекторах транзисторов VT1...VT3 равна

$$C_2 = C_{\text{н}} + C_{\text{м2}} = 32 \text{ пФ};$$

$$C_1 = (M + 1)C_{\text{к}} + C_{\text{м1}} + \frac{C_2}{(\beta_{\text{ст}} + 1)} = 12 \text{ пФ},$$

где $M=4$ – количество транзисторов в схеме (транзисторы VT1...VT3, VT6);

C_1 – эквивалентная ёмкость на коллекторах транзисторов VT1...VT4;

C_2 – ёмкость на выходе транзисторов VT5, VT6.

Рассчитаем временные характеристики ЛЭ:

- постоянная времени спада равна

$$\tau_c = R_6 \cdot C_2 = 27,7 \text{ нс};$$

- время спада

$$t_c = \frac{\tau_c U_{\text{л}}}{U_{\text{ип}} - U_*} = 1,9 \text{ нс};$$

- время нарастания

$$t_{\text{нар}} = \frac{R_1 C_1 (U_{\text{нар}} - U_0)}{U_{\text{п}}} \approx 0,7 R_1 C_1 = 2,2 \text{ нс};$$

- время средней задержки распространения

$$t_{\text{зд.р.ср}} = 0,5 (t_{\text{зд.р}}^{1,0} + t_{\text{зд.р}}^{0,1}) = 3,65 \text{ нс};$$

- время включения (перехода из состояния "0" в состояние

$$"1") t^{0,1} = 2t_{\text{нар}} = 4,4 \text{ нс};$$

- время задержки включения (при переходе из состояния "0" в состояние "1")

$$t_{\text{зд}}^{0,1} = 0,5 t^{0,1} + 2\tau_m = 2,6 \text{ нс};$$

- время выключения (перехода из состояния "1" в состояние

$$"0") t^{1,0} = 2t_c = 3,4 \text{ нс};$$

- время задержки выключения

$$t_{\text{зд}}^{1,0} = 0,5 t^{1,0} + 2\tau_{\text{т}} = 3,9 \text{ нс}.$$

Работа ЛЭ при переключении определяется по формуле

$$A_{\text{пер}} = P_{\text{ср}} t_{\text{зд.р.ср}} = 292 \text{ пДж}.$$

Далее необходимо представить выводы по приведенному расчету, отражающие сравнительный анализ полученных данных с характеристиками ЦИС других типов.

4.3. Методика расчета базового ЛЭ типа КМДП

Серии ЛЭ на комплиментарных полевых (КМДП или КМОП) транзисторах относятся к потенциальным элементам и в настоящее время являются наиболее перспективными. Основными логическими элементами этих серий являются элементы И-НЕ; ИЛИ-НЕ, элемент НЕ (инвертор), а базовой схемой – схема на КМДП-транзисторах.

Принципиальная электрическая схема базового КМДП(КМОП) -инвертора представлена на рисунке 3. Здесь инвертор выполнен на транзисторах VT1, VT2. Элементы VD1...VD3, R1 образуют схему защиты изоляции затворов транзисторов от пробоя при $0 > U_{ВХ} > U_{иП}$ и от статического электричества.

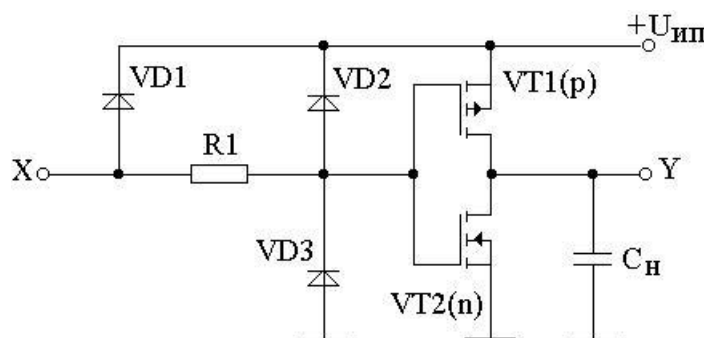


Рисунок 3 – Схема ЛЭ на КМДП(КМОП)-транзисторах (базовый инвертор)

Логическая операция И-НЕ реализуется последовательным включением входных транзисторов, а операция ИЛИ-НЕ – их параллельным включением. При этом на каждый вход требуется два транзистора, образующих рассмотренный выше базовый инвертор. Соответственно, схема И-НЕ, где нагрузочные транзисторы включают параллельно друг другу представлена на рисунке 4(а), а схема ИЛИ-НЕ с последовательным соединением транзисторов – на рисунке 4(б).

Особенность цифровых ИС на КМДП-транзисторах состоит в том, что в установившемся режиме одна из групп транзисторов всегда закрыта и практически не потребляет тока. При этом ничтожно малым оказывается и ток открытых транзисторов, так как стоковые цепи этих транзисторов разомкнуты

закрытыми транзисторами. Поэтому мощность потребления ЦИС получается минимальной и практически определяется токами утечки транзисторов.

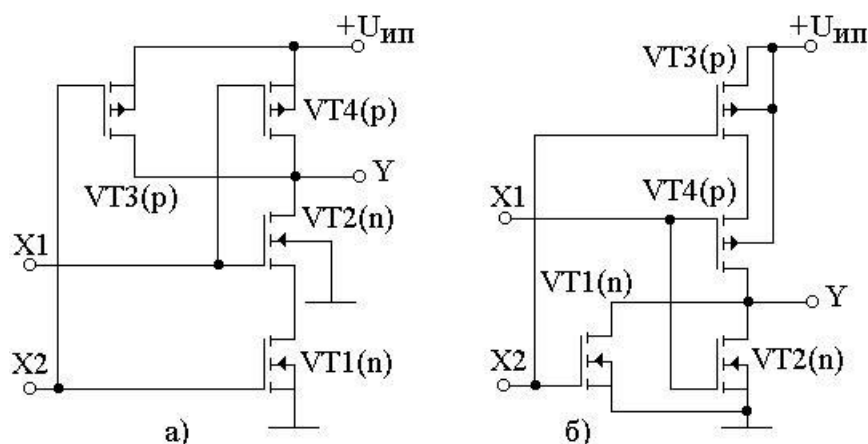


Рисунок 4 – Схемы ЛЭ на КМДП "И-НЕ" (а), "ИЛИ-НЕ" (б)

Расчет принципиальной схемы КМДП-инвертора (рисунок 4) осуществлять согласно варианту задания:

Последняя цифра № студенческого билета	0, 7	1, 4	2, 5, 8	3, 6, 9
Тип ЦИС КМДП	164	176	561	564

При расчете использовать данные из таблицы П2.3 (Приложение 2), а также следующие дополнительные параметры:

- напряжение порога переключения транзистора n -типа $U_{пор.n} = 2$ В;
- напряжение порога переключения транзистора p -типа $U_{пор.p} = -1,5$ В;
- значения напряжений логических "0" и "1" $U^0 = 0$ В; $U^1 = U_{ип}$;
- удельная (относительная) крутизна транзисторов p - и n - типов, соответственно, $K_n = 0,3 \text{ мА/В}^2$; $K_p = 0,2 \text{ мА/В}^2$;
- ёмкость нагрузки $C_H = 10$ пФ;
- частота переключения (повторения входных сигналов) $f_H = 5$ МГц;
- температура окружающей среды $T = 20^\circ \text{ С}$.

Также использовать следующие справочные значения:

$$C_{3-к} n = 0,5 \text{ пФ}; C_{3-с} n = 0,5 \text{ пФ}; C_{3-и} p = 0,5 \text{ пФ}; C_{ми} = 1,5 \text{ пФ},$$

где $C_{з-к\ n}$ - ёмкость перехода "затвор - канал транзистора" VT2;

$C_{з-с\ n}$ - ёмкость перехода "затвор - сток транзистора" VT2; p -

$C_{з-и}$ ёмкость перехода "затвор - исток транзистора" VT1;

$C_{ми}$ - паразитная ёмкость металлических соединений и изолирующего p - n перехода объединенной области стока транзистора VT2 и истока транзистора VT1.

Пример.

Методику расчета принципиальной схемы КМДП-инвертора рассмотрим на численном примере для напряжения источника питания $U_{ип} = 5\text{ В}$.

Расчет статических параметров.

Воспользуемся соотношением

$$|U_{пор.p}| + U_{пор.n} < U_{ип}$$

для проверки условия работоспособности схемы, откуда получим:

$$3,5\text{ В} < 5\text{ В}.$$

Так как значение напряжения логической "1" в рассматриваемом случае равно

$$U^1 = U_{ип} = 5\text{ В},$$

то напряжение логического перепада можно определить как

$$U_{л} = U^1 - U^0 = 5\text{ В}.$$

Напряжение порога переключения рассчитывается по формуле

$$U_{пор} = \frac{U_{пор.n} K_n + (U_{ип} - |U_{пор.p}|) \sqrt{K_p}}{\sqrt{K_n} + \sqrt{K_p}} = 2,7\text{ В}.$$

Далее возможно найти запасы помехоустойчивости:

- по уровню "0"

$$U^+_{п} = U_{пор} \geq U_{пор.n}, \text{ откуда } U^+_{п} = 2,7\text{ В} \geq 2\text{ В};$$

- по уровню "1"

$$U^-_{п} = (U_{ип} - U_{пор}) \leq (U_{ип} - |U_{пор.p}|), \text{ откуда } U^-_{п} = 2,3\text{ В} \leq 3,5\text{ В}.$$

Так как токи, потребляемые элементом в статических состояниях "0" и "1" равны нулю, исходя из принципа работы схемы, то и мощность, потребляемая ЛЭ в статическом режиме также равна нулю:

$$P_{\Pi} = 0 \text{ Вт.}$$

Расчёт динамических параметров.

С целью определения временных характеристик работы схемы вначале рассчитаем общую паразитную ёмкость на выходе этой схемы:

$$C_{\Pi} = C_{3-к\ n} + C_{3-с\ n} + C_{3-и\ p} + C_{ми} + C_{н} = 13 \text{ пФ.}$$

Далее находим временные характеристики схемы:

- время перехода ЛЭ из состояния "1" в состояние "0" равно

$$t_{1,0} = \frac{0,8 C_{\Pi} U_{ип}}{K_n (U_{ип} - U_{пор.n} - |U_{пор.p}|)^2} = 77 \text{ нс;}$$

- постоянная времени транзистора n -типа

$$\tau_n = \frac{2 C_n}{K_n (U_{ип} - U_{пор.n})} = 28,9 \text{ нс;}$$

- время задержки распространения сигнала при переходе ЛЭ из состояния "1" в состояние "0"

$$t_{зд.p}^{1,0} = \frac{\tau_n (U_{ип} - U_{пор})}{U_{ип} - U_{пор.n}} = 22 \text{ нс;}$$

- время перехода ЛЭ из состояния "0" в состояние "1"

$$t_{0,1} = \frac{0,8 C_{\Pi} U_{ип}}{K_p (U_{ип} - U_{пор.n} - |U_{пор.p}|)^2} = 115 \text{ нс;}$$

- постоянная времени транзистора p -типа

$$\tau_p = \frac{2 C_p}{K_p (U_{ип} - |U_{пор.p}|)} = 37 \text{ нс;}$$

$$t_{зд.p}^{0,1} = \frac{\tau_p (U_{ип} - U_{пор.p})}{U_{ип} - U_{пор.p}} = 28,4 \text{ нс.}$$

Средняя мощность потребления ЛЭ в динамическом режиме равна:

$$P_{дин} = f_n C_n U_{ип}^2 = 1,6 \text{ мВт.}$$

Представить сравнительный анализ полученных данных с характеристиками ЦИС других типов.

4.4. Методика расчета ЛЭ интегральной инжекционной логики (ИИЛ)

Логические микросхемы с инжекционным питанием относятся к классу насыщенных логических схем. Они представляют собой микросхемы на биполярных транзисторах, в которых электрическая энергия, необходимая для преобразования сигналов, вводится инжекцией неосновных неравновесных носителей заряда. Логические элементы ИИЛ (или I^2L) обладают рядом важных отличительных особенностей, что обуславливает их широкое применение в БИС и СБИС:

- отсутствие резисторов, занимающих на кристалле большую площадь;
- вместо традиционной цепи питания транзисторов применен принцип прямой инжекции носителей заряда в некоторую пространственную область кристалла, питающую окружающие эту область транзисторные структуры;
- пространственное совмещение областей, принадлежащих в функциональном отношении различным транзисторам. Одни и те же области играют роль коллектора транзистора типа $p-n-p$ и базы транзистора $n-p-n$; базы транзистора $p-n-p$ и эмиттера транзистора $n-p-n$ – типа;
- малое число схемных элементов и межсоединений.

Отмеченные особенности логического элемента I^2L и сложных схем на их основе придают им технологичность, компактность и невысокую стоимость при сохранении достаточно хорошего быстродействия и получении ряда высоких показателей по другим параметрам.

Электрическая принципиальная схема базового ЛЭ интегральной инжекционной логики – I^2L -инвертора, показана на рисунке 5. I^2L -инвертор представляет собой физические объединенные (совмещенные) горизонтальный $p-n-p$ и вертикальный $n-p-n$ -транзисторы. Эмиттерная область $p-n-p$ -транзистора VT2, называемая инжектором, подключается к положительному источнику питания. Общая область n -типа является базой $p-n-p$ -транзистора VT2 и эмиттером $n-p-n$ -транзистора VT1 и подключается к потенциалу "земля". Коллектор $p-n-p$ -транзистора VT2 и база $n-p-n$ -транзистора VT1 также представляют собой единую область полупроводника p -типа. От одного инжектора может питаться несколько схем, то есть горизонтальный $p-n-p$ -транзистор VT2 может быть многоколлекторным (что используется при построении логических элементов), а вертикальный $n-p-n$ -транзистор VT1

обычно имеет несколько коллекторов, которые являются логическими выходами И²Л-инвертора.

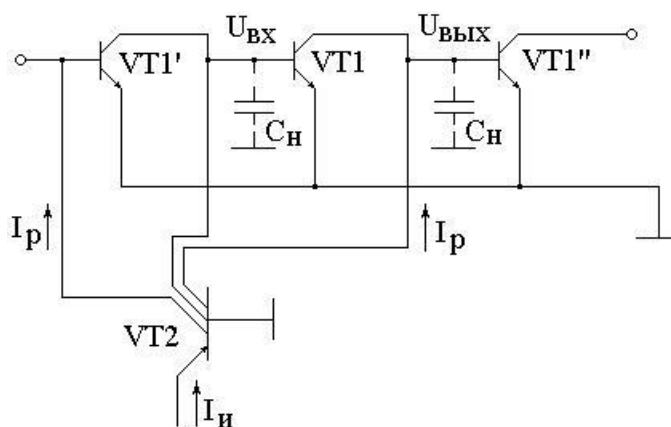


Рисунок 5 – Схема базового И²Л-инвертора

Расчет производить по вариантам:

вторая цифра № студента в Журнале группы	0, 8	1, 5, 9	2, 6	3, 4, 7
$K_{раз}$	2	4	5	6

При расчете использовать данные:

- напряжение источника питания $U_{ИП} = 1,5 \text{ В}$;
- ток источника питания $I_{ИП} = 75 \text{ мкА}$;
- входной ток $I_{ВХ}^1 = 0$ (только для схем И²Л);
- входной ток $I_{ВХ}^0 = 48 \text{ мкА}$;
- коэффициент усиления транзисторов в статическом режиме $\beta_{ст} = 1,8$;
- падение напряжения на открытом $p-n$ переходе транзистора $U^* = 0,7 \text{ В}$;
- температурный потенциал транзистора (при комнатной температуре) $m\phi_T \approx 0,3 \text{ В}$;
- суммарная паразитная ёмкость $C_{П} = 0,8 \text{ пФ}$;
- время рассасывания избыточных носителей $t_p = 25 \text{ нс}$;
- температура окружающей среды $T = 20^\circ \text{ С}$.

Пример.

Методику расчета принципиальной схемы И²Л-инвертора рассмотрим на численном примере для коэффициента разветвления по выходу $K_{раз} = 3$.

Расчет статических параметров.

Входной ток логического нуля определим из уравнения, характеризующего насыщенное состояние транзистора VT1

$$I_{вх} = \frac{\beta_{ст}}{1 + \beta_{ст}} I_{ип} = 48 \text{ мкА.}$$

Уровень напряжения логической "1" на выходе схемы (на коллекторе закрытого *n-p-n*-транзистора VT1) будет равен напряжению на открытом эмиттерном переходе *n-p-n*-транзистора VT1" (в следующем элементе цепи), т.е.

$$U^1 = U^* = 0,7 \text{ В.}$$

Напряжение порога переключения $U_{пор}$ определяется в момент, когда запирается транзистор VT1' предыдущей схемы. Эмиттерный переход транзистора VT1 откроется тогда, когда $U_{вх}$ достигнет порога переключения, т.е.

$$U_{пор} = U * -m\phi_T \ln(S_1) = 0,58 \text{ В,}$$

где коэффициент насыщения S_1 рассчитывается из условия насыщения транзистора VT1 для получения на выходе низкого значения потенциала $U_{вых} = U^0$ как

$$S_1 \approx \frac{\beta_{ст}}{K_{раз}} = 0,6.$$

Запас помехоустойчивости по уровню "0" определяют по формуле

$$U_{п}^+ = U * -U^0 = 0,58 \text{ В,}$$

где

$$U^0 \approx m\phi_T \ln \left(\frac{S_1}{1} \right) = 0,12 \text{ В.}$$

Если нагрузкой служат элементы И²Л (когда соединяют их в сложные логические схемы), то ток нагрузки по уровню "0" равен

$$I_{н}^0 = K_{раз} I_{вх}^0 = 144 \text{ мкА.}$$

Запас помехоустойчивости по уровню "1" определяют по формуле

$$U_{\text{п}} = m_{\text{фТ}} \ln(S_1) = -0,15 \text{ В}.$$

Средняя мощность, потребляемая ЛЭ в статическом режиме

$$P_{\text{п.ср}} = U * I_{\text{ип}} = 53 \text{ мкВт}.$$

Расчёт динамических параметров.

Вначале рассчитаем временные характеристики схемы:

- время отпирания $t_{\text{отп}}$, в течение которого потенциал достигает порога $U^* \approx U_{\text{пор}}$, определяет переключения ЛЭ из состояния "0" в состояние "1", т.е.

$$t^{0,1} = t_{\text{отп}} = \frac{C (U_1 - U_0)}{\frac{\beta_{\text{ст}}}{1 + \beta_{\text{ст}}} I_{\text{ип}}} \approx \frac{C U^* (1 + \beta)}{\beta_{\text{ст}} I_{\text{ип}}} = 12 \text{ нс};$$

- время переключения ЛЭ из состояния "1" в состояние "0"

$$t^{1,0} = t_{\text{п}} = 25 \text{ нс};$$

- среднее время переключения ЛЭ

$$t_{\text{зд}} = \frac{t_{0,1} + t_{1,0}}{2} = 18 \text{ нс}.$$

Работа ЛЭ при переключении задается формулой

$$A_n = P_{\text{п.ср}} t_{\text{зд}} = 1 \text{ пДж}.$$

Таким образом, основным преимуществом микросхем на элементах инжекционной логики, кроме очень высокой степени интеграции, также является и малая потребляемая мощность. Это обуславливает сравнительно низкую стоимость изготовления, возможность конструирования микросхем практически для любых применений (микропроцессоров, логических БИС и СБИС запоминающих устройств, аналого-цифровых и цифро-аналоговых преобразователей, измерительной аппаратуры и др.).

Представить сравнительный анализ полученных данных с характеристиками ЦИС других типов.

ЛИТЕРАТУРА

1. Проектирование логических элементов и триггеров: Методические указания к курсовому проектированию / В.Д. Майоров; Рост. гос. ун-т путей сообщения. Ростов н/Д, 1999. 44 с.
2. Алексенко А.Г., Шагури И.И. Микросхемотехника. М.: Радио и связь, 1990.
3. Соломатин Н.М. Логические элементы ЭВМ. М.: Высш. шк. 1990.
4. Справочник. Применение интегральных микросхем в электронной вычислительной технике / Под ред. Б.Н. Файзулаева, Б.В. Тарабарина М.: Радио и связь, 1986.
5. Схемотехника ЭВМ / Под ред. Г.Н. Соловьева. М.: Высш. шк., 1985.
6. Ефимов И.Е., Козырь И.Я., Горбунов Ю.И. Микроэлектроника. Проектирование, виды микросхем, функциональная микроэлектроника. М.: Высш. шк., 1987.
7. Ланцов А.Л., Зворыкин Л.Н., Осипов И.Ф. Цифровые устройства на комплиментарных МДП-интегральных микросхемах. М.: Радио и связь, 1983.
8. Шагури И.И., Петросянц К.О. Проектирование цифровых микросхем на элементах инжекционной логики. М.: Радио и связь, 1984.
9. Справочник. Полупроводниковые приборы. / Под ред. Н.Н. Горюнова. - М.: Энергоатомиздат, 1986.
10. Справочник. Интегральные микросхемы / Под ред. Б.В. Тарабарина. - М.: Радио и связь, 1984.
11. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ. М.: Высш. шк., 1987.

З А Д А Н И Е

на курсовой проект по дисциплине “Конструкторско-
технологическое обеспечение производства ЭВМ” студента группы
ДВ-41 специальности 230101

Гончарова А.А.

Вариант ____

Тема: "ПРОЕКТИРОВАНИЕ КОНСТРУКТИВНЫХ МОДУЛЕЙ ЭВМ"

1. Задание на курсовой проект :

1.1. Электрический расчёт логических элементов ТТЛ, ЭСЛ, КМОП,
И²Л согласно исходным данным:

1.2. Моделирование логических элементов в MultiSim 10.0.

2. Срок проектирования:

Задание к выполнению принял студент Гончаров А. _____

Дата выдачи задания _____

ПРИЛОЖЕНИЕ 2

Таблица П 2.1

Параметры интегральных микросхем типа ТТЛ

Параметр ЦИС ТТЛ	Серия ИМС			
	Стандартная 133, К155	Высокого быстродействия 130, К131	Микромощная	
			134	158
$I_{ВХ}^0$, мА	1,6	2,3	0,18	0,15
$I_{ВХ}^1$, мА	0,04	0,07	0,012	0,01
$U_{ВХ}^0$, В	0,4	0,35	0,3	0,3
$U_{ВХ}^1$, В	2,4	2,4	2,3	2,4
$K_{раз}$	10	10	10	10
$K_{об}$	8	8	2	2
$t_{зд.р.}^{1,0}$, нс	15	10	100	70
$t_{зд.р.}^{0,1}$, нс	22	10	100	70
C_H , пФ	15	30	40	40
$P_{П.ср}$, мВт	22	44	2	5
$f_{П}$, МГц	10	30	3	14

Примечание. Температура окружающей среды $t = 25^{\circ}\text{C}$. В таблице приведены средние значения параметров.

Таблица П 2.2

Параметры интегральных микросхем типа ЭСЛ

Параметр ЦИС ЭСЛ	Серия ИС		
	К137	100, К500,700	1500
1	2	3	4
$I_{ВХ}^0$, мкА	0,5	0,5	0,5
$I_{ВХ}^1$, мкА	200	265	200
$U_{ВХ}^0$, В	-1,6	-1,6	-1,65
$U_{ВХ}^1$, В	-0,8	-0,9	-0,96
$K_{раз}$	15	15	15
$K_{об}$	9	9	9
$t_{зд.р}^{0,1}$, нс	6	2,9	0,7
$t_{зд.р}^{1,0}$, нс	6	2,9	0,7
$P_{п.ср}$, мВт	70	35	50
$I_{п}$, мА	15	26	-
$U_{ип}$, В	-5,2	-5,2	-4,5

Примечание. Температура окружающей среды $t = 25^{\circ}\text{C}$. В таблице приведены средние значения параметров.

Таблица П 2.3

Параметры интегральных микросхем типа КМДП (КМОП)

Параметр ЦИС КМДП	Серия ИС			
	164	176	561	564
$t_{зд.р.ср}$, нс	200	250	50	50
$P_{ср}$, мВт	0,1	0,1	0,1	0,1
$U_{ин}$, В	9	9	5	9
$U_{вых}^0$, В	0,5	0,3	0	0
$U_{вых}^1$, В	7,7	8,2	5	9
$K_{раз}$	50	50	50	50

Примечание. Применяются для проектирования устройств цифровой техники со сверхмалым потреблением мощности и высокой помехоустойчивостью.